

## 9. Выделение синхросигнала и данных из принимаемого сигнала

В этой главе рассмотрены примеры построения схем для выделения синхросигнала и данных из сигнала, передаваемого по каналу связи. В большинстве случаев схемы выполнены на основе генераторов с фазовой автоподстройкой частоты. Варианты схем генераторов различны, но решаемая с их помощью задача одна и та же – она состоит в правильной привязке синхросигнала к битовым интервалам принимаемых данных.

Два варианта схем, приведенные в п. 9.1, могут использоваться в высокоскоростных системах передачи данных по волоконно-оптическим линиям связи. Второй вариант позволяет также проектировать древовидные структуры для демультиплексирования входного потока данных либо для преобразования последовательного потока данных в параллельный. В п. 9.2 приведены схемы выделения синхросигнала и данных на основе сдвиговых регистров, в п. 9.3 – схемы на основе одноконтурного и двухконтурных генераторов синхросигналов, в п. 9.4 – схема с повышенной точностью воспроизведения синхросигнала при работе на переменную емкостную нагрузку. В п. 9.5 рассмотрен пример применения коррелятора для повышения качества распознавания синхроимпульсов во входном сигнале. В конце главы (п. 9.6) приведены примеры построения схем шифратора и дешифраторов кода Манчестер-II (см. п. 8.1.4).

### 9.1. Выделение синхросигнала и данных схемами на основе генераторов с фазовой автоподстройкой частоты

Генератор с фазовой автоподстройкой частоты (рис. 9.1) [38] содержит фазовый компаратор PD, инвертор, генераторы одинаковых по величине токов  $I_1$ ,  $I_2$ , ключи на транзисторах VT1 и VT2, фильтр низких частот и синхрогенератор VCO, управляемый напряжением. Сигнал DIN в коде NRZ (см. п. 8.1) поступает из линии на вход фазового компаратора. Этот сигнал не должен оставаться в неизменном состоянии (лог. 0 или 1) на протяжении более или менее длительного интервала времени. Например, при проектировании системы передачи данных может быть заранее известно, что максимальная длительность неизменного состояния сигнала не должна превышать двадцати битовых интервалов. (Напомним, что для обеспечения гарантированного изменения состояния сигнала в любом заранее заданном интервале времени применяют скремблирование этого сигнала перед его выдачей в линию, см. п. 8.4.)

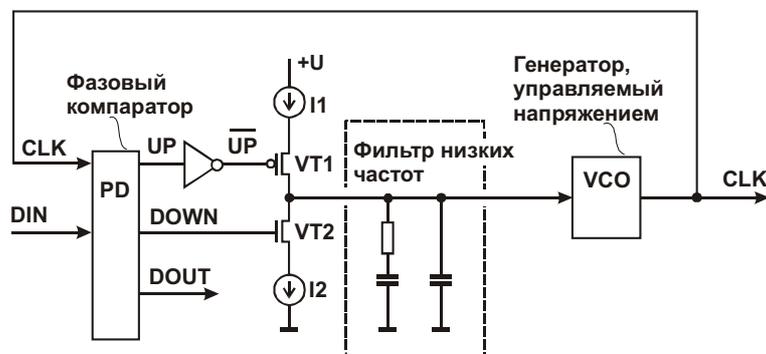


рис. 9.1. Схема генератора с фазовой автоподстройкой частоты (первый вариант)

Фазовый компаратор сопоставляет сигнал DIN с синхросигналом CLK от генератора VCO. При правильном фазовом соотношении этих сигналов на выходе данных фазового компаратора формируется сигнал DOUT, соответствующий данным в линии, при этом гра-

ницы его битовых интервалов задаются отрицательными фронтами сигнала CLK. Чтобы достичь, а затем и поддерживать правильное фазовое соотношение между сигналами DIN и CLK, фазовый компаратор непрерывно отслеживает ошибку взаимного расположения фронтов этих сигналов и формирует управляющие сигналы ускорения UP и замедления DOWN темпа работы генератора VCO.

Генератор VCO при номинальном управляющем напряжении, примерно равном  $U/2$ , формирует синхросигнал номинальной (ожидаемой) частоты. Повышение и понижение напряжения на управляющем входе генератора приводит к незначительному повышению и снижению частоты. Это позволяет подстраивать фазу синхросигнала в нужном направлении.

Чтобы пояснить, каким образом, варьируя частоту сигнала, можно корректировать его фазу, проведем “мысленный эксперимент”, в котором частота сигнала CLK на выходе генератора VCO в незначительных пределах регулируется переменным резистором R (рис. 9.2). При некотором положении движка переменного резистора, близком к среднему, частота сигнала CLK совпадает с частотой “идеального” сигнала CLKI, к которому необходимо подстроиться. Сигнал CLKI поступает на вход синхронизации осциллографа и отображается его верхним лучом. При равенстве частот сигналов CLK и CLKI нижняя осциллограмма неподвижна относительно верхней, при этом, вероятнее всего, наблюдается некоторый фазовый сдвиг сигнала CLK относительно сигнала CLKI. На рисунке показана одна из возможных ситуаций, при которой сигнал CLK отстает по фазе от сигнала CLKI примерно на 110 градусов.

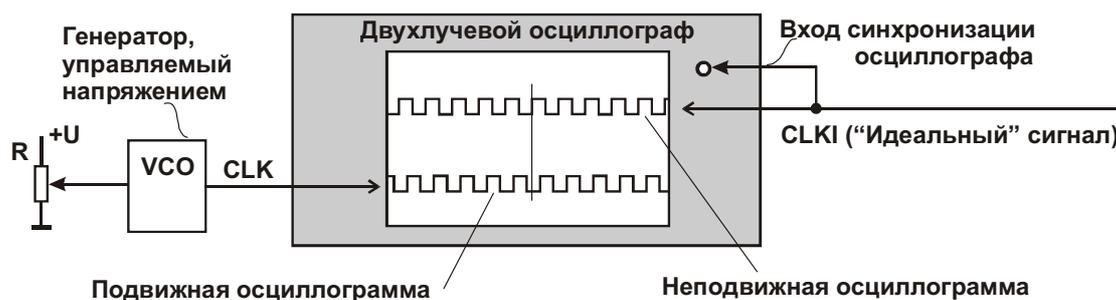


рис. 9.2. Схема, поясняющая процесс фазовой подстройки частоты

Чтобы скомпенсировать несовпадение фаз, немного увеличим частоту сигнала CLK перемещением движка переменного резистора вверх. Фронты этого сигнала будут формироваться чуть раньше, нижняя осциллограмма начнет медленно перемещаться влево относительно неподвижной верхней, фазовый сдвиг начнет уменьшаться. Остается только приостановить перемещение в момент, когда фазовый сдвиг станет нулевым. Для этого в нужный момент следует вернуть движок переменного резистора в исходное положение, соответствующее равенству частот.

Сигналы UP и DOWN (рис. 9.1) управляют транзисторными ключами, регулирующими поступление токов  $I_1$  и  $I_2$  на вход фильтра низких частот. При  $UP = 0$ ,  $DOWN = 0$  транзисторы VT1 и VT2 выключены, источники тока изолированы от фильтра и генератора VCO, напряжение на входе этого генератора остается постоянным либо незначительно изменяется из-за выравнивания напряжений на конденсаторах фильтра, если исходно эти напряжения не совпадали. При  $DOWN = 0$  и поступлении серии импульсов  $UP = 1$ , транзистор VT1 включается по каждому импульсу, транзистор VT2 постоянно выключен, импульсы тока  $I_1$  заряжают конденсаторы фильтра, напряжение на входе генератора VCO повышается, частота сигнала CLK незначительно возрастает. При  $UP = 0$  и поступлении серии импульсов  $DOWN = 1$  ситуация противоположная – транзистор VT2 открывается по каждому импульсу, транзистор VT1 постоянно закрыт, импульсы тока  $I_2$  разряжают конденсаторы, частота сигнала CLK незначительно снижается. При  $UP = 1$ ,  $DOWN = 1$  оба транзистора включены и, поскольку  $I_1 \approx I_2$ , токи практически компенсируются и напряжение на входе генератора VCO почти не изменяется. В реальных условиях работы генератора

(рис. 9.1) импульсы UP и DOWN, в основном, чередуются во времени и чаще всего не перекрываются. Благодаря фильтру низких частот, импульсные воздействия на частоту генератора VCO со стороны фазового компаратора усредняются. Заметный вклад в процесс регулирования частоты сигнала CLK может внести только усредненное по времени устойчивое расхождение этих воздействий.

Рассмотрим первый вариант схемы фазового компаратора PD (рис. 9.3). Схема содержит последовательно включенные D-триггеры D1, D3, инвертор D2 и элементы Исключающее ИЛИ D4 и D5. Входные данные DIN принимаются в триггер D1 по положительным фронтам сигнала CLK и переписываются в триггер D3 по отрицательным фронтам этого сигнала. Элементы D4 и D5 формируют положительные импульсы UP и DOWN (сигналы лог. 1) в периоды несовпадений сигналов на входах и выходах соответствующих триггеров D1 и D3. С увеличением этих периодов возрастает длительность соответствующих импульсов (фактически применена широтно-импульсная модуляция).

Таким образом, сигналы UP и DOWN отражают фазовые соотношения между тремя сигналами – DIN и двумя его производными, полученными с использованием положительного и отрицательного фронтов сигнала CLK. При правильном соотношении сигналов DIN и CLK сигналы UP и DOWN вносят одинаковые, но противоположные вклады в процессы ускорения и замедления работы генератора VCO, поэтому частота и фаза синхросигнала остается неизменной. При смещении фазы синхросигнала длительность и число импульсов UP или DOWN возрастает, что приводит к компенсации смещения.

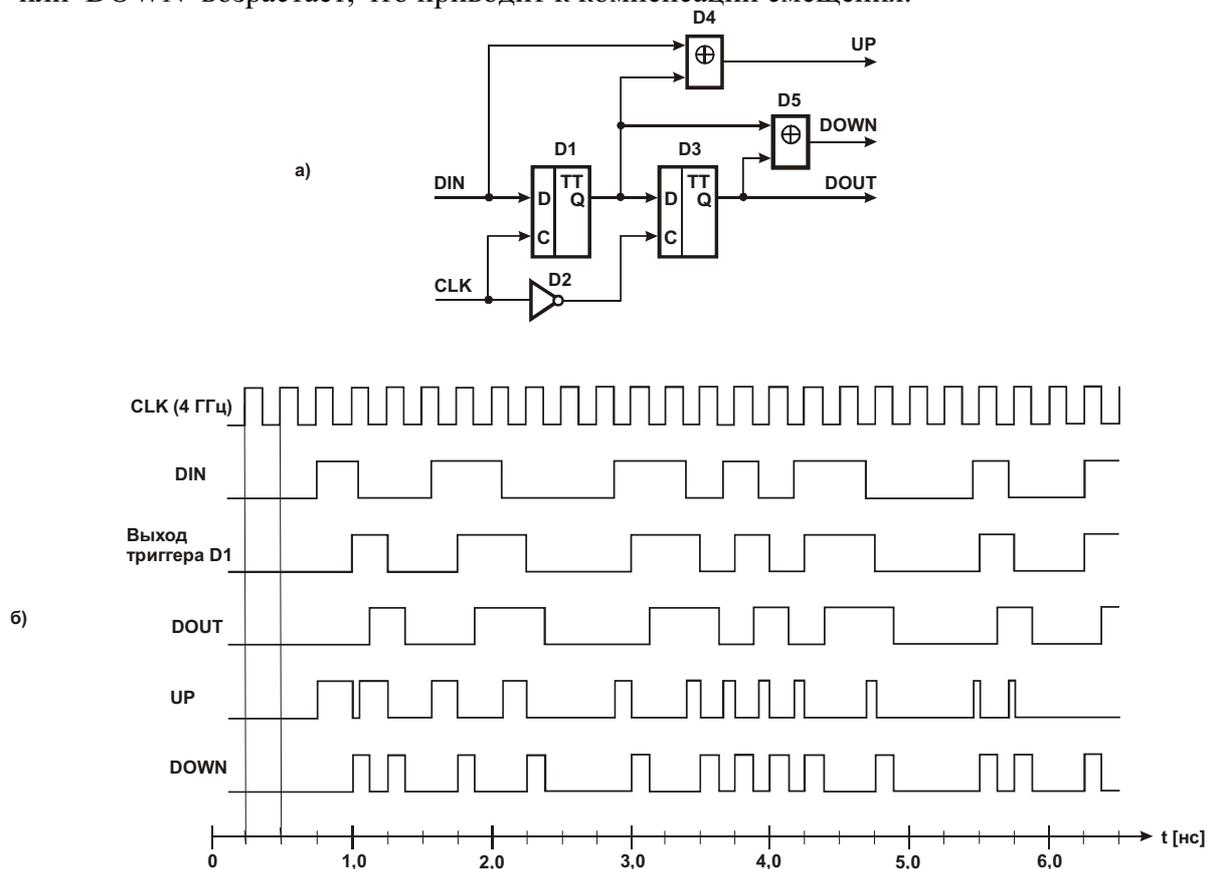


рис. 9.3. Фазовый компаратор PD: *а* – схема (первый вариант); *б* – временные диаграммы

Недостатком схемы (рис. 9.3) является высокая частота синхронизации. В приведенном примере частота сигнала CLK составляет 4 ГГц (период синхросигнала равен 0,25 нс). Эту частоту можно уменьшить вдвое, если использовать для приема данных как положительные, так и отрицательные фронты синхросигнала [38]. (Отметим, что подобная идея, применительно к иной задаче, была рассмотрена ранее, см. п. 3.3.1 [63].)

Прежде чем перейти к описанию второго варианта схемы фазового компаратора, рассмотрим его основную часть – формирователь сигналов UP и DOWN (рис. 9.4), работающий на пониженной частоте (2 ГГц).

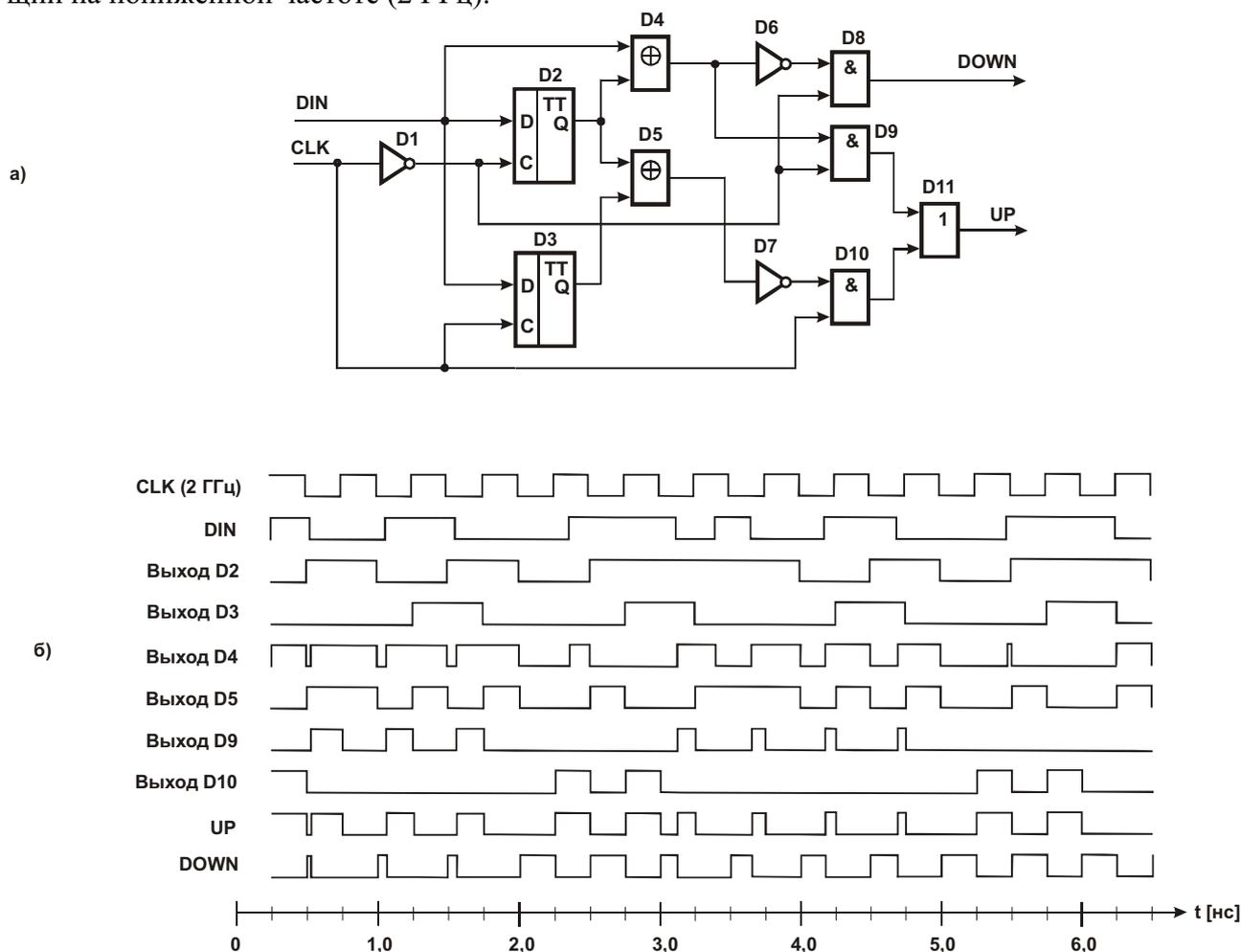


рис. 9.4. Формирователь сигналов UP и DOWN, с синхронизацией от сигнала CLK пониженной частоты (2 ГГц)

Входной сигнал DIN по положительному фронту сигнала CLK записывается в триггер D3, а по отрицательному фронту – в триггер D2. Элемент Иключающее ИЛИ D4 формирует сигнал лог. 1 при несовпадении сигналов на входе и выходе триггера D2. Элемент Иключающее ИЛИ D5 формирует сигнал лог. 1 при несовпадении сигналов на выходах триггеров D2 и D3. Элементы D6 – D11 формируют сигналы UP и DOWN на основе сигналов с выходов элементов D4, D5, а также и прямого и инверсного сигналов CLK.

Второй вариант схемы фазового компаратора (рис. 9.5) содержит только что рассмотренный формирователь сигналов UP и DOWN (рис. 9.4), а также D-триггер D12.

Эта схема обладает следующими полезными особенностями. Во-первых, как уже отмечалось, при той же скорости поступления данных по линии, что и в схеме, показанной на рис. 9.3, она оперирует синхросигналом, частота которого уменьшена в два раза. Во-вторых, выходной поток данных распределен по двум каналам. Биты данных DIN, считанные из линии по положительным фронтам сигнала CLK, временно запоминаются в триггере D3 и выдаются из него в виде потока DOUT1. Биты данных DIN, считанные из линии по отрицательным фронтам сигнала CLK, последовательно проходят через триггеры D2 и D12 и образуют поток DOUT0.

В чем состоит польза от разделения каналов? Во-первых, благодаря такому разделению, последующая обработка данных из обоих каналов может осуществляться параллельно, но вдвое медленнее по сравнению с обработкой данных из одноканального потока. Напри-

мер, если выходные данные должны проходить через буферную память типа FIFO, то структура этой памяти распараллеливается: вместо одноразрядной быстродействующей памяти можно использовать двухразрядную, но более “медленную”, и т. д.

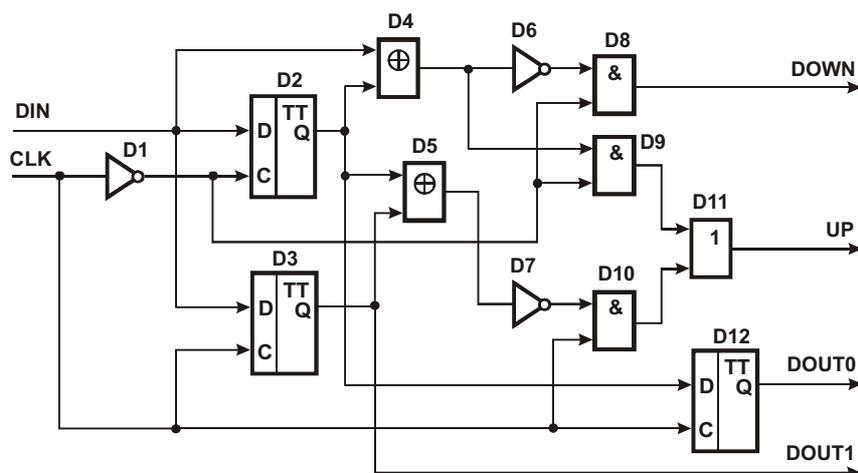


рис. 9.5. Фазовый компаратор PD (второй вариант)

Во-вторых, разделение данных по каналам можно использовать для их демультимплексирования, если рассматривать входной поток данных DIN как сумму двух потоков от независимых источников: “четные” биты принадлежат первому потоку, “нечетные” – второму. В такой интерпретации рассмотренная схема (рис. 9.5) представляет собой элементарный демультимплексор (DEMUX 1:2), распределяющий входной поток данных по двум направлениям. Из этих элементарных демультимплексоров можно строить древовидные структуры для увеличения числа каналов; одна из таких структур показана на рис. 9.6.

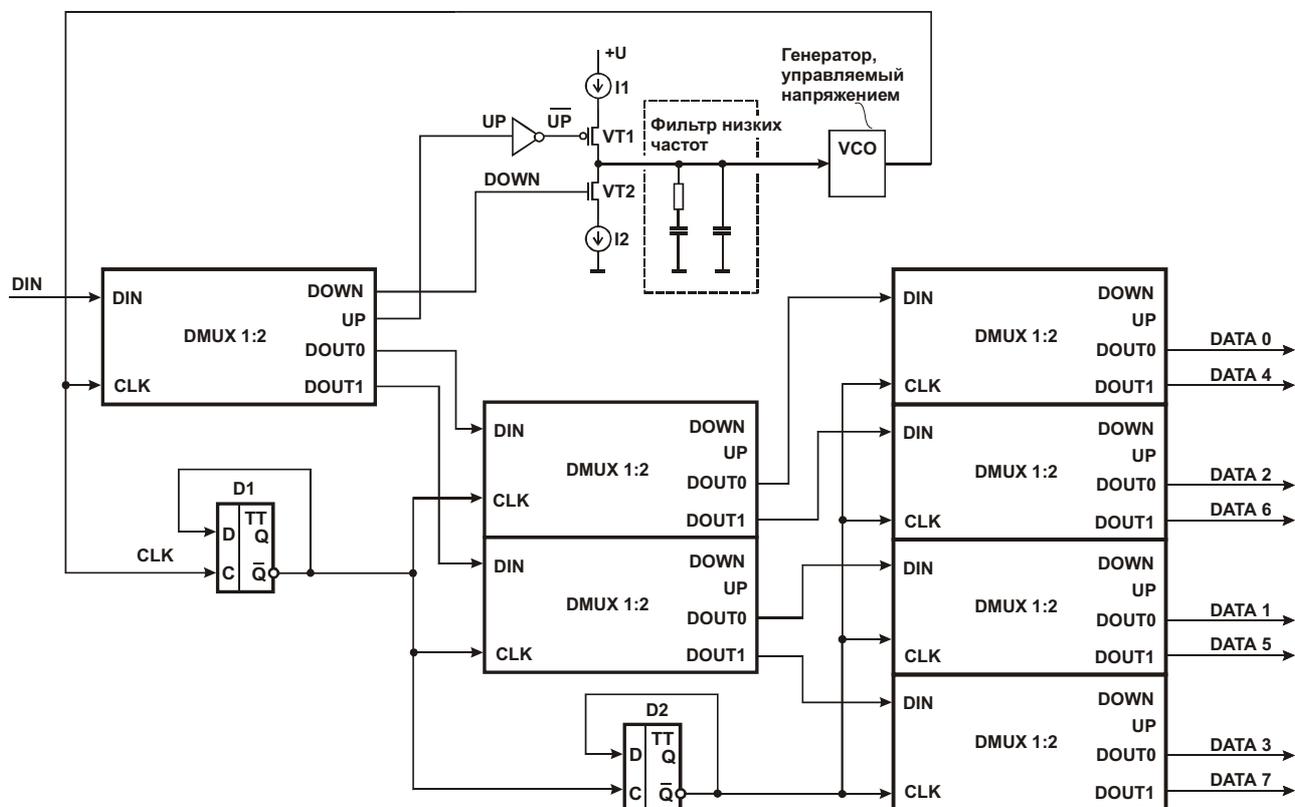


рис. 9.6. Древовидная структура из элементарных демультимплексоров (фазовых компараторов, выполненных по схеме на рис. 9.5)

В этой структуре элементарный демультиплексор первого уровня принимает сигнал DIN и управляет генератором VCO, включенным в контур фазовой автоподстройки частоты точно также, как и в рассмотренной ранее схеме (рис. 9.1). Для синхронизации двух демультиплексоров второго уровня и четырех демультиплексоров третьего уровня частота синхросигнала CLK от генератора VCO снижается в два и четыре раза с помощью делителя частоты на D-триггерах D1 и D2. Так как выходные сигналы UP и DOWN демультиплексоров второго и третьего уровней не используются, формователи этих сигналов (рис. 9.5, элементы D6 – D11) можно из них исключить. Структуру (рис. 9.6) можно также использовать в качестве преобразователя битового потока данных DIN в байтовый DATA0 – DATA7.

## 9.2. Выделение синхросигнала и данных схемой на основе сдвиговых регистров

Схема, показанная на рис. 9.7 [25], предназначена для выделения синхросигнала SYNC и данных DOUT из сигнала DIN, поступающего через приемник из линии. Для начала предположим, что линейный сигнал представлен кодом NRZ (см. рис. 8.2). При этом допустим, что в коде NRZ максимальное число следующих подряд лог. 0 или лог. 1 не превышает, например, шести.

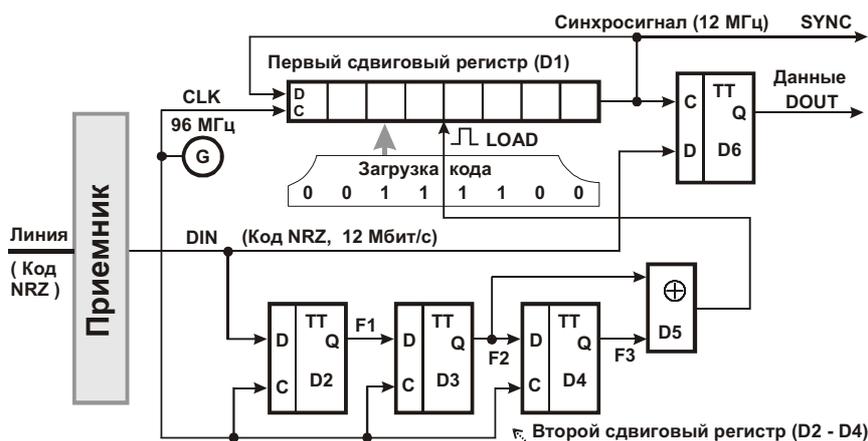


рис. 9.7. Схема выделения синхросигнала и данных из линии. Входной сигнал представлен кодом NRZ

Схема построена на основе двух сдвиговых регистров. Первый регистр D1 состоит из восьми включенных в “кольцо” D-триггеров с общими входами C синхронизации и объединенными входами LOAD управления асинхронной загрузкой. Циклический сдвиг кода в регистре D1 выполняется в отсутствие сигнала LOAD (LOAD = 0) по положительному фронту синхросигнала CLK от кварцевого генератора G. При наличии сигнала LOAD = 1 регистр D1 устанавливается в состояние 00111100 независимо от состояния сигнала CLK.

Частота сигнала CLK (96 МГц) в данном примере в восемь раз (по числу разрядов регистра D1) превышает скорость передачи данных по линии (12 Мбит/с). Сдвиговый регистр D1 фактически выполняет функцию делителя частоты на восемь, так как в нем в идеальной ситуации непрерывно циркулирует код 00111100: в течение четырех тактов сдвига SYNC = 1, затем в течение следующих четырех тактов SYNC = 0 и т. д. При этом фаза сигнала SYNC привязана к сигналу LOAD, который, в свою очередь, формируется при любом изменении состояния входного сигнала DIN.

Второй сдвиговый регистр выполнен на триггерах D2 – D4 с объединенными входами C синхронизации. Логический элемент Исключающее ИЛИ D5 формирует сигнал

лог. 1 при несовпадении сигналов на его входах. Рассмотрим процесс выделения синхросигналов и данных из сигнала DIN (рис. 9.8).

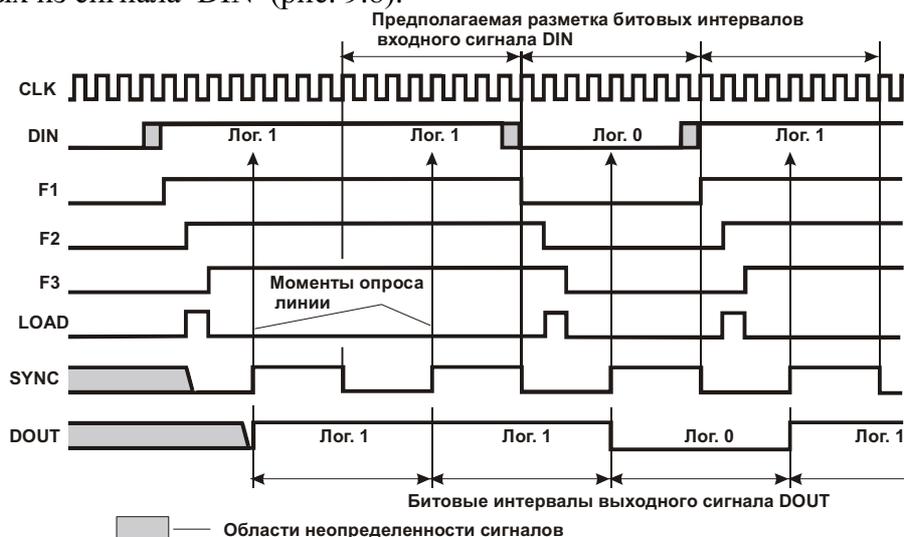


рис. 9.8. Временные диаграммы выделения синхросигналов и данных из линии

В исходном состоянии, когда нет изменений сигнала DIN (или когда эти изменения были слишком давно), сигналы SYNC и DOUT не определены. Изменение сигнала DIN (в данном примере переход из нулевого в единичное состояние) регистрируется по ближайшему положительному фронту сигнала CLK. Это проявляется в том, что в триггере D2 фиксируется сигнал  $F1 = 1$ .

Отметим, что в результате неблагоприятного сочетания сигналов на входах этого триггера, а именно, когда в момент поступления положительного фронта сигнала CLK сигнал DIN нестабилен, триггер D2 может сформировать кратковременный ложный сигнал. Иными словами, этот триггер может начать процесс “защелкивания”, но не завершить его. Однако кратковременный ложный сигнал не будет распространяться в последующие каскады сдвигового регистра благодаря общей цепи синхронизации. Полноценное защелкивание сигнала лог. 1 в триггере D1 окажется возможным только в следующем такте.

Сигнал  $F1 = 1$  в двух последующих тактах продвигается к выходу второго сдвигового регистра. При этом в период неравнозначности сигналов F2 и F3 формируется сигнал загрузки сдвигового регистра D1  $LOAD = 1$ , синхросигнал SYNC принимает нулевое значение. Через два такта после окончания сигнала  $LOAD = 1$  формируется положительный фронт сигнала SYNC, гарантирующий правильную регистрацию бита данных DOUT в триггере D6. Начиная с этого момента, достигаются нужные соотношения между выходными и входными сигналами. Чтобы убедиться в правильности этих соотношений, рассмотрим временную диаграмму, приведенную на рис. 9.9.

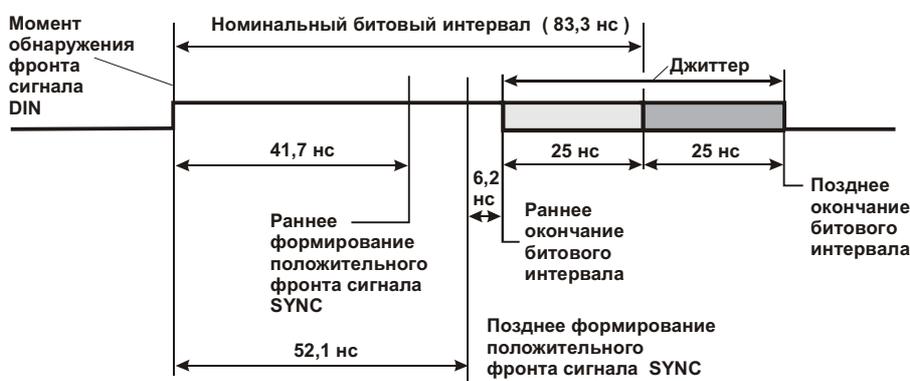


рис. 9.9. Временная диаграмма выделения бита данных с учетом джиттера и некоторой неопределенности момента формирования положительного фронта сигнала SYNC

При скорости передачи данных 12 Мбит/с номинальная длительность битового интервала составляет  $1/(12\,000\,000)$  с или 83,3 нс. Если принять максимальную амплитуду джиттера равной 25 нс, то битовый интервал в наихудших ситуациях может быть укорочен или удлинен на 25 нс и равен соответственно  $83,3 - 25 = 58,3$  нс или  $83,3 + 25 = 108,3$  нс. Допуски длительности битового интервала отмечены на рисунке затененными областями.

Период сигнала CLK равен  $1/(96\,000\,000)$  с или 10,417 нс. Из ранее рассмотренной временной диаграммы (см. рис. 9.8) следует, что положительный фронт сигнала SYNC при наилучшем стечении обстоятельств может сформироваться через четыре периода сигнала CLK после изменения сигнала DIN. При наихудшем стечении обстоятельств (когда изменение сигнала DIN чуть опоздало к моменту регистрации) вместо четырех периодов потребуется пять.

Первой и второй ситуации соответствуют отмеченные на рис. 9.9 задержки, равные соответственно  $10,417 \times 4 = 41,7$  нс и  $10,417 \times 5 = 52,1$  нс. Таким образом, обеспечиваются надежная предустановка сигнала DIN на D-входе триггера D6 (минимум 41,7 нс) и достаточное время удержания этого сигнала (минимум 6,2 нс при норме “больше нуля”) после формирования сигнала SYNC.

Если для загрузки сдвигового регистра D1 вместо кода 00111100 применить код 00011110, то моменты раннего и позднего формирования положительного фронта сигнала SYNC сместятся на временной диаграмме влево на один период сигнала CLK. При этом минимальная предустановка уменьшится до 31,2 нс, а время удержания увеличится до 16,6 нс.

В примере, приведенном на рис. 9.10, передаваемые по линии данные представлены кодом HDB3 (рис. 9.11). Построение этого кода было рассмотрено в п. 8.1.6. Напомним, что в коде HDB3 цепочки нулей заменены определенными “заготовками” (выделены на рис. 9.11 серым фоном), что позволяет исключить продолжительные паузы входного сигнала.

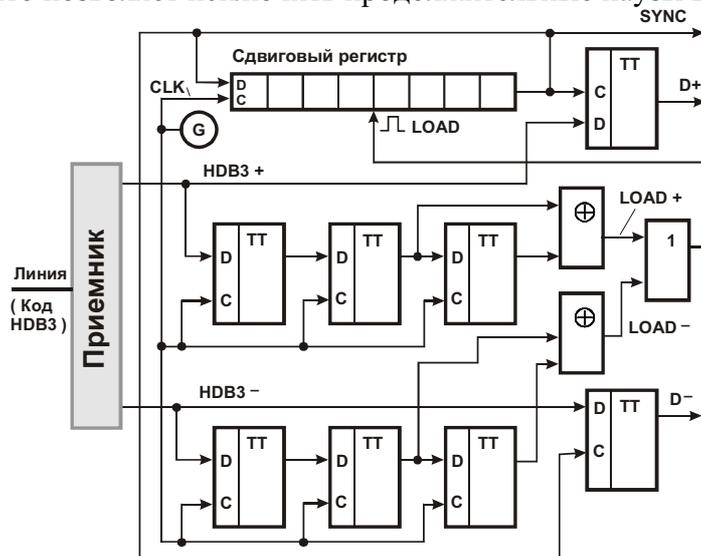


рис. 9.10. Схема выделения синхросигнала и данных из линии

Приемник формирует две последовательности сигналов: HDB3+ и HDB3-. Первая соответствует положительным импульсам в линии, вторая – отрицательным. Трехразрядные сдвиговые регистры формируют импульсы LOAD+ и LOAD-, которые отражают изменения состояний сигналов HDB3+ и HDB3-.

Эти импульсы суммируются логическим элементом ИЛИ, поэтому сигнал LOAD отражает все изменения сигнала в линии. Импульсы LOAD+ и LOAD-, обведенные на рисунке овалами, теоретически формируются одновременно, но реально при определенном стечении обстоятельств могут иметь взаимный сдвиг в ту или иную сторону на один период сигнала CLK. При этом длительность суммарного импульса LOAD (выделен на рисунке

прямоугольником) составит не два, а три периода сигнала CLK. Это, однако, учитывается допусками (см. рис. 9.9) и не нарушает работы устройства.

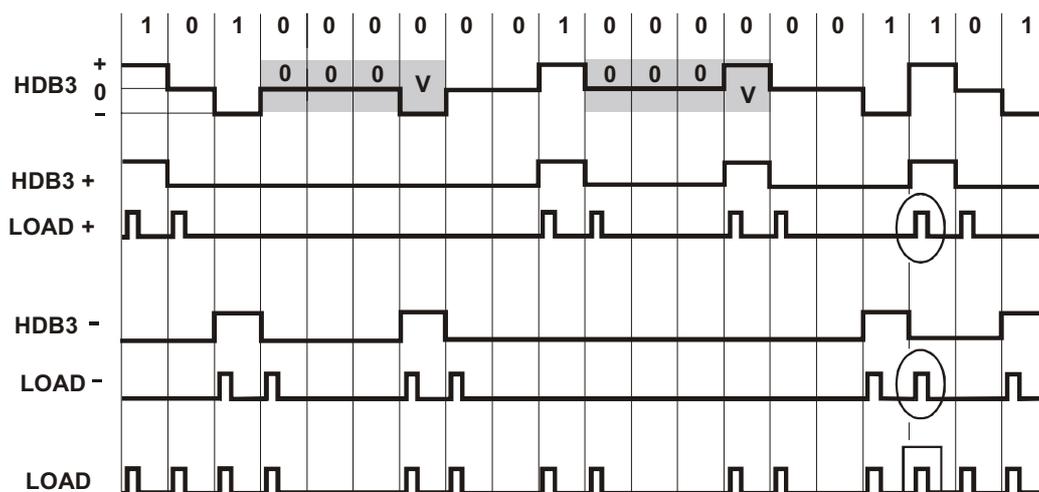


рис. 9.11. Временные диаграммы формирования сигнала LOAD

Выходные сигналы D+ и D- синхронизированы сигналом SYNC и соответствуют положительным и отрицательным импульсам на входе устройства. Дальнейшая обработка сигналов D+ и D- заключается в восстановлении исходной битовой последовательности (показанной в верхней части рис. 9.11) и может выполняться микропроцессором.

### 9.3. Одноконтурная и двухконтурные схемы выделения синхросигнала

В схеме, приведенной на рис. 9.12, выделение синхросигнала и данных из линии основано на использовании контура фазовой автоподстройки частоты.

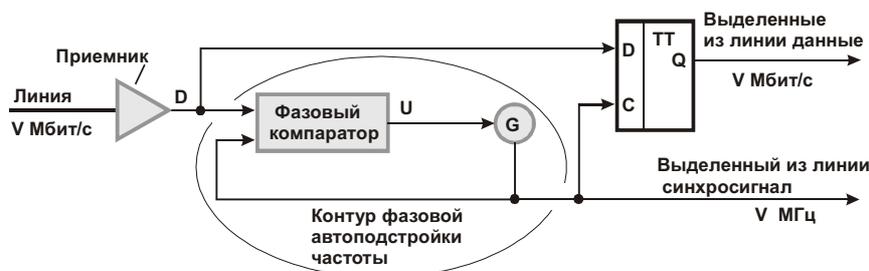


рис. 9.12. Схема, поясняющая принцип выделения синхросигнала и данных с помощью контура фазовой автоподстройки частоты

В установившемся режиме генератор G, управляемый напряжением U, формирует непрерывную последовательность синхроимпульсов. Их фронты (например отрицательные) с высокой точностью совпадают во времени с моментами изменения сигнала D на выходе приемника. Моменты изменений в общем случае нерегулярны и зависят от передаваемой последовательности битов. При правильном выборе способа кодирования линейного сигнала существует гарантия хотя бы одного изменения сигнала D в течение некоторого заданного промежутка времени. Например, при использовании кода B6ZS (см. п. 8.1.6) гарантируется наличие хотя бы одного импульса (двух изменений сигнала) в течение любых пяти последовательных битовых интервалов.

Фазовый компаратор оценивает степень совпадения фронтов сигналов на своих входах и в зависимости от результата формирует некоторое управляющее напряжение U. На-

пример, при хорошем совпадении фронтов, когда коррекции не требуется,  $U = 2,5$  В. При необходимости ускорить или замедлить темп выработки синхроимпульсов напряжение повышается или снижается. Диапазон изменения напряжения может составлять (0,5 – 4,5) В. Фазовый компаратор содержит фильтр низких частот и поэтому обладает достаточной инерционностью, чтобы не реагировать на возможные мешающие факторы: “дрожание” фазы входного сигнала, импульсные помехи в линии и т. п.

В идеальном случае положительные фронты выделенного из линии синхросигнала соответствуют центрам битовых интервалов, поэтому для выделения данных используется D-триггер.

Контур фазовой автоподстройки частоты представляет собой достаточно “тонкий инструмент”. Этот контур должен иметь очень узкую полосу захвата – порядка долей герца. Иными словами, для вхождения устройства в синхронизм с линейным сигналом нужно, чтобы исходная частота генератора  $G$  почти не отличалась от входной частоты. В противном случае на входах фазового компаратора будут наблюдаться случайные фазовые соотношения между сигналами, что не позволит выбрать нужное направление коррекции частоты. Из этого следует, что генератор  $G$  должен быть высокостабилизированным, но это противоречит требованию его хорошей управляемости со стороны фазового компаратора.

Чтобы устранить данное противоречие, применяют схемы с двумя контурами автоподстройки. Одна из таких схем [54] приведена на рис. 9.13.

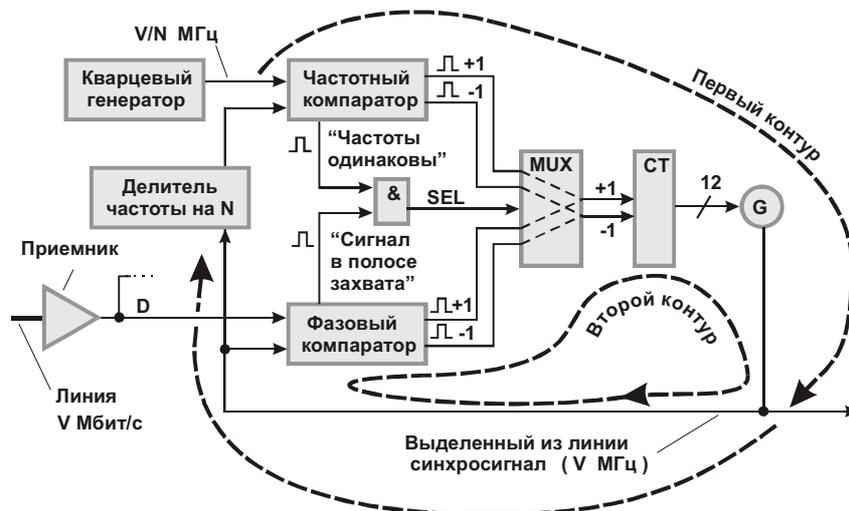


рис. 9.13. Двухконтурная схема выделения синхросигнала из линии - первый вариант

Первый контур предназначен для предварительной настройки генератора  $G$  на номинальную частоту синхросигнала. После завершения такой настройки вместо первого контура включается второй, аналогичный рассмотренному ранее (см. рис. 9.12).

В данном примере частота генератора  $G$  регулируется кодом с выхода 12-разрядного двоичного счетчика СТ. При нормальной работе устройства код на выходе счетчика примерно соответствует середине диапазона счета и может изменяться в незначительных пределах. Содержимое счетчика увеличивается или уменьшается на единицу младшего разряда при поступлении импульса на вход  $+1$  или  $-1$ . В отсутствие импульсов код в счетчике остается неизменным. Импульсы вырабатываются либо частотным, либо фазовым компаратором в зависимости от того, какой контур активизирован. При  $SEL = 0$  включен первый контур, при  $SEL = 1$  – второй.

Кварцевый генератор формирует на первом входе частотного компаратора сигнал частотой  $V/N$ , где  $V$  – скорость передачи данных по линии,  $N \geq 2$  – целое число. Сигнал той же частоты поступает на второй вход этого компаратора. Снижение сравниваемых час-

тот позволяет упростить схему частотного компаратора и снизить потребляемую им мощность.

Предположим, что в исходном состоянии в линии присутствует полезный сигнал, но синхронизация не установлена; генератор  $G$  формирует сигнал, имеющий заметное отклонение (например, на 2 Гц) от нужной частоты. В этой ситуации оба компаратора обнаруживают неблагоприятные сочетания сигналов на входах, логический элемент  $I$  получает от обоих компараторов сигналы лог. 0. Так как  $SEL = 0$ , мультиплексор  $MUX$  транслирует на входы счетчика  $CT$  сигналы с выходов частотного компаратора.

Частотный компаратор определяет знак и величину частотной ошибки и формирует последовательность импульсов на одном из выходов. Код в счетчике  $CT$  изменяется в направлении уменьшения ошибки. В конечном счете ошибка уменьшается до допустимых пределов, частотный компаратор формирует сигнал “Частоты одинаковы”. Одновременно с этим или с небольшой задержкой фазовый компаратор формирует признак “Сигнал в полосе захвата”, означающий, что фазовый компаратор выявил закономерность между моментами изменения сигналов на обоих входах и поэтому способен корректировать ее в нужном направлении.

В результате совпадения указанных условий формируется сигнал  $SEL = 1$ , мультиплексор переключается на трансляцию сигналов с фазового компаратора. Далее осуществляется точная подстройка генератора, при которой выходной сигнал привязывается к входному по фазе. Это позволяет выделять данные с помощью  $D$ -триггера, как было показано ранее (см. рис. 9.12).

При нормальной работе устройства, как уже отмечалось, включен второй контур управления генератором  $G$ . Но при потере входного сигнала в линии частота нестабилизированного генератора  $G$ , оставшегося без управления, начинает непрерывный дрейф в ту или иную сторону. Так как во втором контуре нет опорной частоты, фазовый компаратор не посылает корректирующие импульсы в счетчик  $CT$ . Поэтому если, например, в результате “замирания” сигнала в линии потеряна группа из 70 битов, то дрейф приведет к выходу частоты генератора  $G$  из полосы захвата фазового компаратора. Тогда после возобновления правильной последовательности сигналов в линии вся описанная ранее процедура грубой и точной настройки генератора  $G$  будет повторена, что связано с неоправданно большими затратами времени.

Схема, приведенная на рис. 9.14 [54], обладает лучшей устойчивостью к “замираниям” сигнала в линии. Это связано с тем, что нестабилизированный генератор  $G2$  контура фазовой автоподстройки частоты ни при каких обстоятельствах не остается без управления.

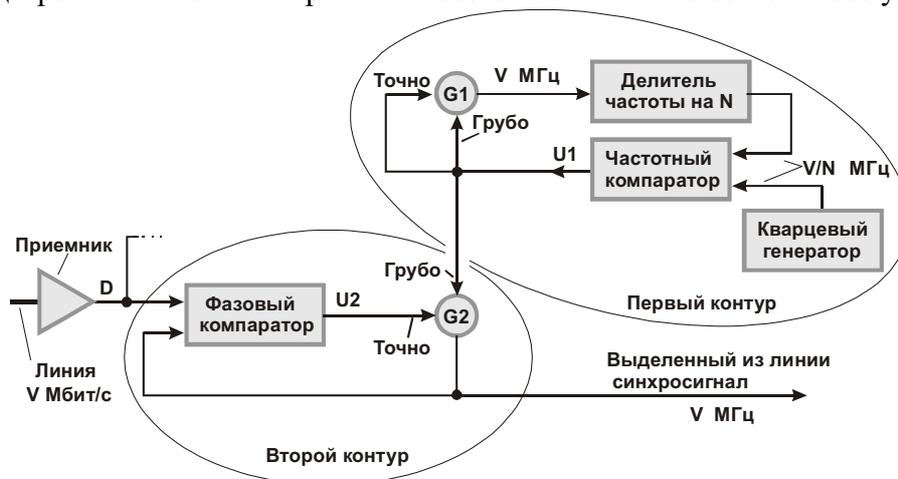


рис. 9.14. Двухконтурная схема выделения синхросигнала из линии - второй вариант

Схема построена на основе двух нестабилизированных генераторов  $G1$  и  $G2$ . Эти генераторы размещены в одном кристалле интегральной схемы и имеют одинаковую топо-

логию. Поэтому они обладают очень близкими электрическими параметрами, что существенно для данного решения. Генератор G1 (G2) содержит аналоговые входы грубой и точной подстройки частоты. При нормальной работе устройства регулирующие напряжения  $U_1$  и  $U_2$  находятся примерно в середине диапазона регулировки (например близки 2,5 В при диапазоне (0,5 – 4,5) В). Входы грубой и точной подстройки генератора G1 объединены.

В первом, автономном контуре управления отслеживается частота кварцевого генератора, так что генератор G1 формирует стабилизированную частоту  $V$ , близкую скорости передачи данных в линии. Поскольку генераторы G1 и G2 имеют практически одинаковые электрические параметры, генератор G2 также настроен на эту частоту по входу грубой подстройки. В результате независимо от уровня напряжения  $U_2$  частота сигнала на выходе генератора G2 отличается от нужной всего лишь на доли герца и в любой ситуации не выходит за пределы полосы захвата фазового компаратора!

Таким образом, фазовый компаратор всегда готов к работе, даже после длительных “замираний” сигнала в линии. Исключен дрейф частоты в отсутствие сигнала в линии, уменьшено время вхождения в синхронизм после обнаружения этого сигнала.

Генераторы G1 и G2 выполнены на МДП-транзисторах по схеме симметричного мультивибратора (рис. 9.15).

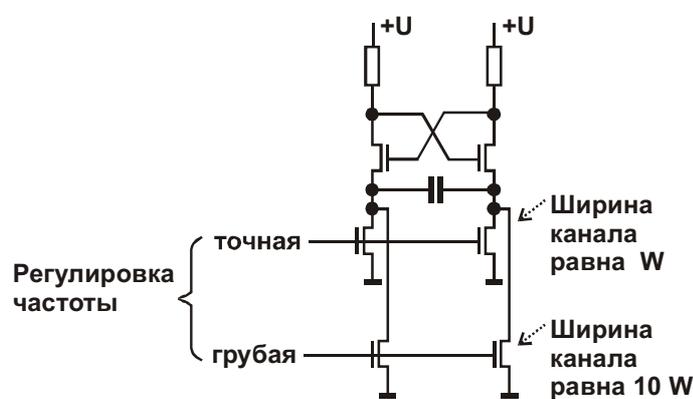


рис. 9.15. Схема генератора

Четыре нижних транзистора используются в качестве двух сдвоенных переменных резисторов, с помощью которых можно регулировать частоту сигнала. Ширина канала транзисторов грубой регулировки частоты (нижняя пара) в 10 раз превышает ширину канала транзисторов точной регулировки.

Поэтому сопротивления каналов и соответствующие диапазоны регулировки частоты отличаются примерно в 10 раз.

## 9.4. Схема выделения синхросигнала с компенсацией нагрузочной емкости

Выделенный из линии синхросигнал может поступать к нескольким микросхемам, размещенным на одной или нескольких печатных платах устройства, например мультиплексора. При этом паразитная емкость проводника, несущего синхросигнал, и входные емкости элементов – приемников этого сигнала увеличивают длительности его фронтов. Это эквивалентно задержке синхросигнала, нарушающей его точную привязку к данным, поэтому задержка должна быть скомпенсирована. На рис. 9.16 приведен пример схемы компенсации задержки синхросигнала [56].

Схема содержит генератор G с фазовой автоподстройкой частоты, микропроцессор, группу электронных ключей SW, набор компенсирующих конденсаторов с емкостями C, 2C, 4C, 8C, два усилителя сигнала SYNC и два фазовых компаратора EQ1 и EQ2. Усилители выполнены в одной интегральной схеме и поэтому имеют практически одинаковые электрические характеристики. Каждый ключ управляется соответствующим сигналом из группы сигналов Q, поступающих из микропроцессора. Входные данные DATA поступают из линии и в неявном виде содержат синхросигнал. В цепи передачи выделенного из линии синхросигнала CLK присутствует заранее не известная паразитная емкость CX.

В зависимости от комбинации управляющих сигналов Q к цепи передачи сигнала CL подключается та или иная подгруппа компенсирующих конденсаторов. В установленном

режиме их суммарная емкость с помощью микропроцессора подбирается примерно равной паразитной емкости  $C_X$ . При  $Q = 0000$  все конденсаторы отключены, при  $Q = 1111$  все конденсаторы подключены и их суммарная емкость составляет  $15C$ , где  $C$  – емкость, определяющая шаг подбора. Максимальная компенсирующая емкость ( $15C$ ) должна превышать максимальную паразитную емкость  $C_X$ .

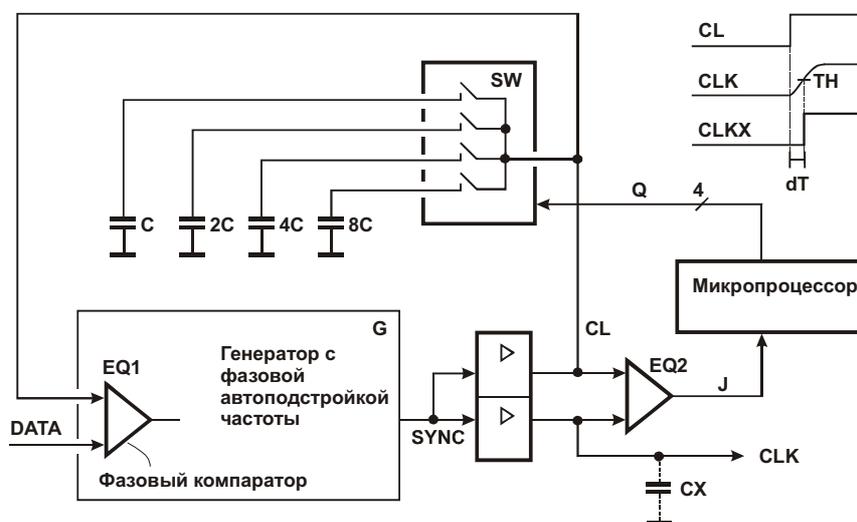


Рис. 9.16. Схема компенсации задержки выделенного синхросигнала

Предположим, что в исходном состоянии  $Q = 0$ , компенсирующие конденсаторы изолированы от цепи  $CL$  передачи сигнала обратной связи генератора с фазовой автоподстройкой частоты. Предположим также, что паразитная емкость  $C_X$  оказывает заметное влияние на длительность фронтов сигнала  $CLK$ . В этой ситуации сигналы  $CL$  и  $DATA$  находятся в правильных фазовых соотношениях, которые отслеживаются компаратором  $EQ1$  генератора  $G$ . Однако сигнал  $CLK$  имеет пологий фронт, как показано на рисунке. Порог  $TH$  срабатывания приемников этого сигнала лежит примерно в середине между уровнями лог. 0 и 1. Поэтому момент срабатывания приемников смещен относительно положительного фронта сигнала  $CL$  на время  $dT$ . Иными словами, сигнал  $CLK$  эквивалентен некоторому сигналу  $CLKX$ , полученному из сигнала  $CL$  путем его сдвига на время  $dT$ .

Задача заключается в минимизации этого времени. Фазовый компаратор  $EQ2$  реагирует на отрицательный сдвиг фазы сигнала  $CL$  относительно сигнала  $CLK$  выдачей на вход микропроцессора признака  $J = 0$ . Микропроцессор следит за состоянием этого признака и последовательно наращивает код  $Q$ , что приводит к последовательному увеличению компенсирующей емкости. Фронт сигнала  $CL$  начинает приближаться по форме к фронту сигнала  $CLK$ . В некоторый момент фазовое соотношение между этими сигналами изменяет знак, признак  $J$  переходит в состояние лог. 1. Обнаружив этот переход, микропроцессор фиксирует код  $Q$  на достигнутом уровне.

В дальнейшем микропроцессор периодически, например один раз в секунду, подбирает величину компенсирующей емкости таким образом, чтобы компаратор  $EQ2$  находился на грани срабатывания.

Рассмотренное решение позволяет автоматически отслеживать изменения паразитной емкости  $C_X$  при изменении температуры, влажности, при отключении части нагрузки и т. п., что обеспечивает надежную привязку выделенного из линии синхросигнала к данным.

## 9.5. Распознавание синхросигнала в искаженном входном сигнале с помощью симметрирующего коррелятора

Корреляторы обычно применяют в системах распознавания образов для сопоставления и оценки сходства эталонного и искомого изображений. Далее рассмотрено применение коррелятора для решения задачи распознавания синхросигнала в искаженном входном сигнале. Точнее, задача заключается в отыскании в проходящем битовом потоке “очертаний” синхросигнала с заданными параметрами и привязки восстановленного синхросигнала к центрам битовых интервалов.

В примере, приведенном на рис. 9.17, коррелятор входит в состав схемы распознавания синхросигнала и содержит 16-разрядные регистры RG1, RG2, компараторы EQ0 – EQ15, сумматор ADD. Входные данные DATA “мелкими шагами” (составляющими доли битового интервала) проходят через сдвиговый регистр RG1. В регистре RG2 зафиксирован эталонный код для сравнения с кодом в регистре RG1. Поразрядное сравнение кодов выполняется компараторами EQ0 – EQ15. Компаратор формирует сигнал лог. 1 при совпадении битов на его входах. Сумматор ADD подсчитывает число совпадений битов в регистрах и выдает результат SUM на компаратор для сравнения с некоторым порогом TH. Если  $SUM > TH$ , то  $Y = 1$ , в противном случае  $Y = 0$ . Сигнал  $Y = 1$  подтверждает близость кодов в регистрах RG1 и RG2 и представляет собой метку времени для привязки к ней искомого синхросигнала. Сигнал  $Y$  с выхода коррелятора поступает на вход генератора PLL с фазовой автоподстройкой частоты, который восстанавливает синхросигнал CL.

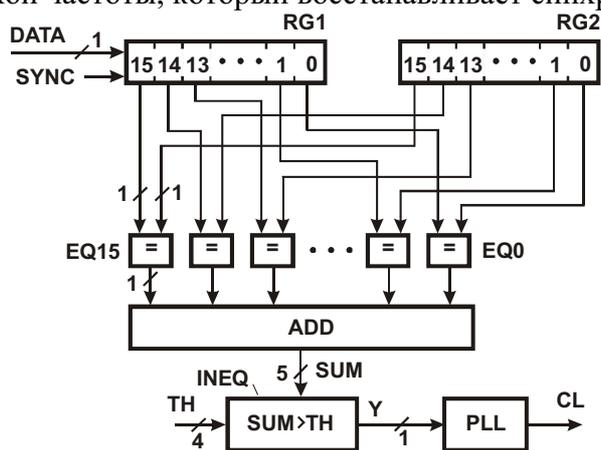


Рис. 9.17. Схема распознавания синхросигнала в потоке данных – первый вариант

Рассмотрим процесс распознавания синхросигнала более детально. На вход коррелятора поступают два сигнала: DATA и SYNC. Первый принят из линии; он в неявном виде содержит синхросигнал CL, который следует восстановить. Второй формируется местным автономным генератором; его частота в восемь раз превышает частоту синхросигнала CL. Для большей наглядности описания работы коррелятора предположим, что сигнал DATA представлен кодом NRZ (см. 8.1.2) вида ...010101... . Каждый бит этого кода представлен на рис. 9.18, а восемью одноименными отсчетами (цепочками из лог. 0 или 1).

Сигнал DATA проходит через сдвиговый регистр RG1 с шагом, равным 1/8 части битового интервала кода NRZ. Такое продвижение удобно рассматривать как просмотр сигнала DATA через движущееся окно. Содержимое окна сравнивается с эталоном 000011111110000 из регистра RG2. Этот эталон рассчитан на появление в коде NRZ комбинации битов “010”. Задача заключается в фиксации момента наибольшей схожести кодов в регистрах RG1 и RG2. Как показано в первой строке Таблица 9.1 табл. 9.1, в некотором такте (n-8) сигнала SYNC код в регистре RG1 противоположен эталонному, поэтому нет ни одного совпадения битов, следовательно  $SUM = 0$ .



Рис. 9.18. Временные диаграммы, поясняющие принцип действия коррелятора: *а* – сигнал DATA без искажений; *б* – сигнал DATA с искажениями; *в* – восстановленный синхросигнал

Таблица 9.1 табл. 9.1

Процесс формирования сигнала SUM при обработке сигнала DATA, показанного на рис. 9.18, *а*, схемой, приведенной на рис. 9.17

Номер такта	Код в регистре RG1	Значение сигнала SUM
n-8	1 1 1 1 0 0 0 0 0 0 0 0 1 1 1 1	0
n-7	1 1 1 1 1 0 0 0 0 0 0 0 0 1 1 1	2
n-6	1 1 1 1 1 1 0 0 0 0 0 0 0 0 1 1	4
n-5	1 1 1 1 1 1 1 0 0 0 0 0 0 0 0 1	6
n-4	1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 0	8
n-3	0 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0	10
n-2	0 0 1 1 1 1 1 1 1 1 0 0 0 0 0 0	12
n-1	0 0 0 1 1 1 1 1 1 1 1 0 0 0 0 0	14
n	0 0 0 0 1 1 1 1 1 1 1 1 0 0 0 0	<b>16</b>
n+1	0 0 0 0 0 1 1 1 1 1 1 1 1 0 0 0	14
n+2	0 0 0 0 0 0 1 1 1 1 1 1 1 1 0 0	12
n+3	0 0 0 0 0 0 0 1 1 1 1 1 1 1 1 0	10
n+4	0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1	8

В следующем такте (n-7) совпадения наблюдаются в разрядах 3 и 11, поэтому  $SUM = 2$ . По мере продвижения кода в регистре RG1 наблюдается увеличение числа совпадений, и в такте с номером *n* коды полностью совпадают, сигнал SUM достигает максимального значения, равного 16. В последующих тактах код в регистре RG1 все более отличается от эталонного, сигнал SUM возвращается к нулевому значению и т. д. В отсутствие искажений сигнала DATA порог ТН можно выбрать равным 15. Тогда положительный фронт сигнала *Y* с хорошей точностью попадает в середину битового интервала, в котором передается единичный сигнал. Снижая порог, можно уменьшить требуемую степень схожести кодов в регистрах RG1 и RG2, однако при этом снижается точность попадания сигнала *Y* в середину битового интервала.

Генератор PLL с фазовой автоподстройкой частоты формирует сигнал CL так, чтобы его положительные фронты совпадали с положительными фронтами сигнала *Y* или запаздывали на заданный интервал, что необходимо при снижении порога ТН. Сигнал *Y* в общем случае формируется с нерегулярным периодом, зависящим от характера передаваемых данных. Передающая сторона должна обеспечивать гарантированное появление хотя бы одной эталонной комбинации (сочетания битов "010" в коде NRZ) на протяжении, например, любых двадцати битовых интервалов. Напомним, что в данном примере рассматривается последовательность ...010101..., обеспечивающая формирование сигнала *Y* в каждом втором битовом интервале.

Выраженный максимум сигнала SUM, однако, быстро размывается при типичном искажении входного сигнала DATA, показанном на рис. 9.18, б. Такое искажение связано, например, со смещением порога срабатывания приемника сигнала из линии. Действительно, импульсы в линии имеют не прямоугольную, а трапецеидальную форму. Если порог срабатывания приемника смещен в сторону повышения, то сигналы лог. 1 окажутся более короткими, чем сигналы лог. 0, и наоборот. Как следует из рисунка, сигнал лог. 1 представлен четырьмя (а не восемью) единичными отсчетами в регистре RG1, хотя передается тот же самый, что и ранее, код NRZ: ...010101... . Работа коррелятора в этих условиях поясняется табл. 9.2.

Таблица 9.2 табл. 9.2

Процесс формирования сигнала SUM при обработке сигнала DATA, показанного на рис. 9.18, б, схемой, приведенной на рис. 9.17

Номер такта	Код в регистре RG1	Значение сигнала SUM
n-8	1 1 0 0 0 0 0 0 0 0 0 0 1 1 1 1	2
n-7	1 1 1 0 0 0 0 0 0 0 0 0 0 1 1 1	2
n-6	1 1 1 1 0 0 0 0 0 0 0 0 0 0 1 1	2
n-5	0 1 1 1 1 0 0 0 0 0 0 0 0 0 0 1	5
n-4	0 0 1 1 1 1 0 0 0 0 0 0 0 0 0 0	8
n-3	0 0 0 1 1 1 1 0 0 0 0 0 0 0 0 0	10
n-2	0 0 0 0 1 1 1 1 0 0 0 0 0 0 0 0	12
n-1	0 0 0 0 0 1 1 1 1 0 0 0 0 0 0 0	12
n	0 0 0 0 0 0 1 1 1 1 0 0 0 0 0 0	12
n+1	0 0 0 0 0 0 0 1 1 1 1 0 0 0 0 0	12
n+2	0 0 0 0 0 0 0 0 1 1 1 1 0 0 0 0	12
n+3	0 0 0 0 0 0 0 0 0 1 1 1 1 0 0 0	10
n+4	0 0 0 0 0 0 0 0 0 0 1 1 1 1 0 0	8

Как следует из таблицы, сигнал SUM имеет размытый максимум, равный 12; он наблюдается на протяжении пяти соседних тактов. Это не позволяет с хорошей точностью выделить момент, соответствующий середине битового интервала. Этот недостаток устранен в схеме симметрирующего коррелятора, показанной на рис. 9.19, рис. 9.20 [32].

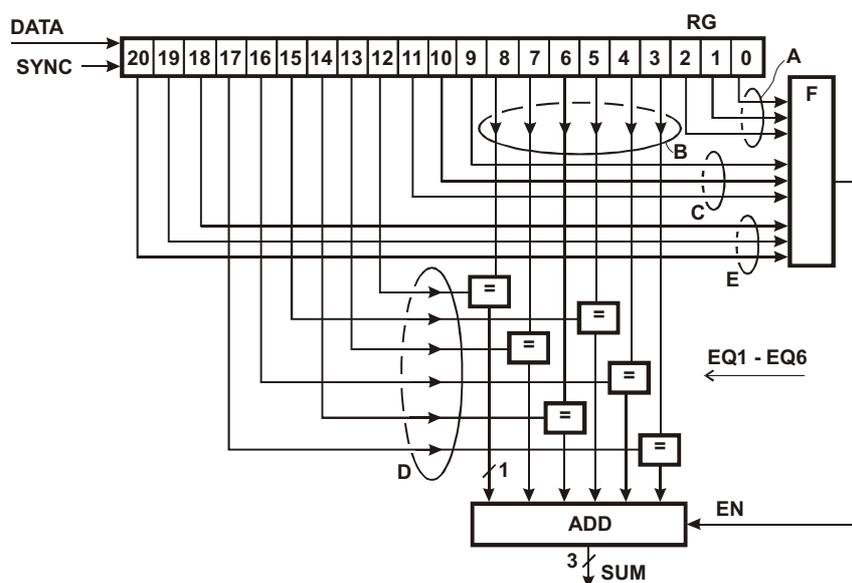


Рис. 9.19. Схема распознавания синхросигнала в потоке данных – второй вариант

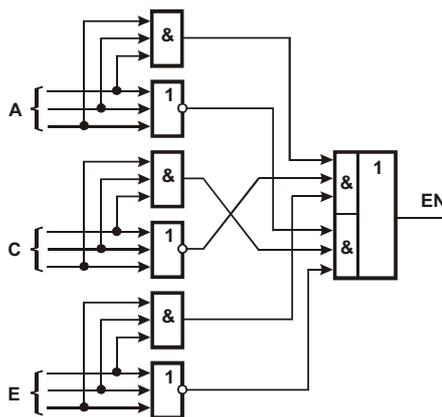


рис. 9.20. Схема логического блока F (см. рис. 9.19)

В схеме (рис. 9.19), в отличие от предыдущей, отсутствует регистр для хранения эталона (!). Последовательность отсчетов входного сигнала продвигается через регистр RG и анализируется логическим блоком F, компараторами EQ1 – EQ6 и сумматором ADD. Принцип действия коррелятора поясняется рис. 9.21.

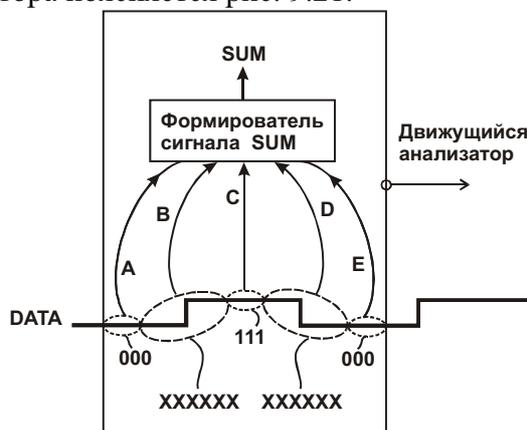


рис. 9.21. Схема, поясняющая принцип действия коррелятора (см. рис. 9.19)

При формировании сигнала SUM анализируются группы отсчетов A, B, C, D, E. Прежде всего проверяется одновременное выполнение трех условий:  $A = 000$ ,  $C = 111$ ,  $E = 000$  или  $A = 111$ ,  $B = 000$ ,  $C = 111$ . Если условия выполнены, то это означает, что положение движущегося анализатора примерно соответствует показанному на рисунке или аналогичному, смещенному на один битовый интервал сигнала NRZ. В этом случае анализ продолжается. Теперь сопоставляются группы отсчетов B и D, представленные на рисунке знаками "X". Определяется степень симметрии отсчетов в этих группах. Если сигнал NRZ не искажен (как показано на рисунке), то  $B = 000111$ ,  $D = 111000$ . Сравнение этих групп с учетом зеркальной перестановки разрядов в одной из них показывает максимально возможное число совпадений, равное шести. Если хотя бы одно названных условий ( $A = 000$ ,  $C = 111$ ,  $E = 000$  или  $A = 111$ ,  $B = 000$ ,  $C = 111$ ) не выполнено, то анализ прекращается и сигнал SUM устанавливается в нуль.

Предположим, что длительность сигналов лог. 1 в коде NRZ чуть уменьшилась за счет соответствующего увеличения длительности сигналов лог. 0. Тогда получим, например, такое соотношение кодов B и D:  $B = 000011$ ,  $D = 110000$ . Эти коды вновь оказались симметричными, несмотря на асимметрию сигнала DATA, т. е. разрешающая способность коррелятора не уменьшилась при обработке искаженного сигнала!

Рассмотрим работу коррелятора более подробно. Код DATA проходит через сдвиговый регистр RG под управлением синхросигнала SYNC, частота которого в девять раз превышает скорость передачи данных по линии. Группы разрядов B и D с помощью компара-

торов EQ1 – EQ6 поразрядно сравниваются в “зеркальном” порядке относительно центрального (десятого) разряда регистра: разряд 8 сравнивается с разрядом 12, разряд 7 – с разрядом 13 и т. д. Группы разрядов А, С и Е анализируются логическим блоком F. Сигнал EN = 1 формируется при A = E = 000 и C = 111 или при A = E = 111 и C = 000. Сумматор ADD при EN = 1 подсчитывает число единичных сигналов на входах (все входы имеют равные единичные веса). Если EN = 0, то работа сумматора запрещена, на его выходе постоянно присутствует нулевой код.

Прохождение неискаженного и искаженного сигналов DATA через коррелятор поясняется Таблица 9.3 табл. 9.3 и Таблица 9.4 табл. 9.4.

Таблица 9.3 табл. 9.3

Процесс формирования сигнала SUM при обработке неискаженного сигнала DATA схемой, приведенной на рис. 9.19

Номер такта	Код в регистре RG	Значение сигнала SUM	Значение сигнала EN
n-3	1 1 1 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1	0	1
n-2	1 1 1 1 0 0 0 0 0 0 0 0 1 1 1 1 1 1	2	1
n-1	1 1 1 1 1 0 0 0 0 0 0 0 0 1 1 1 1 1	4	1
n	1 1 1 1 1 1 0 0 0 0 0 0 0 0 1 1 1 1	6	1
n+1	1 1 1 1 1 1 1 0 0 0 0 0 0 0 0 1 1 1	4	1
n+2	1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 0 1 1	2	1
n+3	1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 0 0 1	0	1

Таблица 9.4 табл. 9.4

Процесс формирования сигнала SUM при обработке искаженного сигнала DATA схемой, приведенной на рис. 9.19

Номер такта	Код в регистре RG	Значение сигнала SUM	Значение сигнала EN
n-3	1 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 1	0	0
n-2	1 1 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1	0	0
n-1	1 1 1 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1	4	1
n	1 1 1 1 0 0 0 0 0 0 0 0 0 0 0 0 1 1	6	1
n+1	1 1 1 1 1 0 0 0 0 0 0 0 0 0 0 0 0 1	4	1
n+2	1 1 1 1 1 1 0 0 0 0 0 0 0 0 0 0 0 1	0	0
n+3	1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 0 0 1	0	0

Из сопоставления таблиц следует, что, несмотря на внесенные искажения, связанные с нарушением симметрии сигналов лог. 0 и 1 в коде NRZ, коррелятор по-прежнему формирует хорошо выраженный сигнал опознания центра битового интервала. При этом распознаются две (а не одна) комбинации битов в коде NRZ: 010 и 101. Это увеличивает частоту следования импульсов привязки на входе генератора с фазовой автоподстройкой частоты и способствует повышению качества восстановленного синхросигнала.

## 9.6. Шифратор и дешифраторы кода Манчестер-II

Рассмотрим процессы формирования и последующей дешифрации линейного сигнала типа Манчестер-II. В результате дешифрации из линейного сигнала извлекаются данные и сопровождающие их синхроимпульсы. Напомним о некоторых примечательных свойствах кода Манчестер-II.

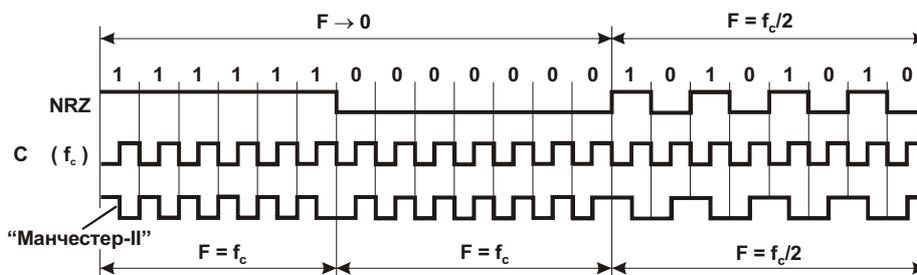


рис. 9.22. Сравнение частотных свойств сигналов NRZ и Манчестер-II

Сигнал Манчестер-II (рис. 9.22) можно получить суммированием по модулю два (с помощью логического элемента Исключающее ИЛИ) сигналов NRZ и C (данных и синхросигнала). Основная особенность этого сигнала состоит в том, что он никогда не “замирает”. При передаче длинной цепочки единиц частота сигнала Манчестер-II совпадает с частотой  $f_c$  синхросигнала C. То же наблюдается и при передаче длинной цепочки нулей. Поэтому даже в том случае, когда частота исходного сигнала NRZ стремится к нулю ( $F \rightarrow 0$ ), частота сигнала Манчестер-II остается постоянной (моментами смены фазы сигнала пренебрегаем). При передаче чередующейся последовательности нулей и единиц частота сигнала Манчестер-II совпадает с частотой сигнала NRZ.

Идея поддержания синхронизма между приемником и передатчиком поясняется рис. 9.23. На рисунке показаны три битовых интервала T. Предположим, что приемник уже синхронизирован с передатчиком. Тогда, обнаружив в середине первого битового интервала фронт сигнала (он обязательно должен быть: положительный либо отрицательный), приемник запускает внутренние часы.

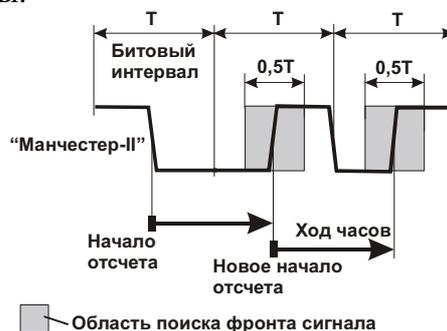


рис. 9.23. Временная диаграмма передачи кода Манчестер-II. Обеспечивается коррекция хода часов приемника при передаче каждого бита

Через интервал времени, равный T, обнаруживается положительный фронт сигнала (передается лог. 0). Приемник вновь запускает часы (“забывая” старые их показания), т. е. переносит начало отсчета времени на один битовый интервал вправо. Далее процесс повторяется. Как видим, не происходит накопления ошибок, связанных с отсчетом времени.

Поиск очередного фронта сигнала в середине следующего битового интервала ведется в некотором доверительном интервале. Из “геометрии” рисунка следует, что область поиска фронта сигнала может достигать  $0,5T$ . Это означает, что независимо от длины цепи передаваемых битов допустимое рассогласование хода часов передатчика и приемника может приближаться к  $\pm 25\%$  (другими дестабилизирующими факторами пренебрегаем). Для сравнения: допустимое рассогласование хода часов передатчика и приемника при использовании старт-стоповой посылки (интерфейсы RS-232, RS-422 и другие) составляет всего 4%.

Перейдем к конкретным решениям. Рассмотрим упрощенную схему передачи данных в коде Манчестер-II (рис. 9.24). В схеме отсутствует гальваническая развязка с линией, не

показаны элементы электрического согласования и т. п.; тем не менее, она работоспособна при условии, что линия связи достаточно короткая.



рис. 9.24. Упрощенный пример построения канала связи для передачи данных в коде Манчестер-II (рассмотрено одно направление передачи)

Как уже отмечалось, шифратор кода Манчестер-II может быть выполнен на двухвходовом элементе ИСКЛЮЧАЮЩЕЕ ИЛИ (рис. 9.25).

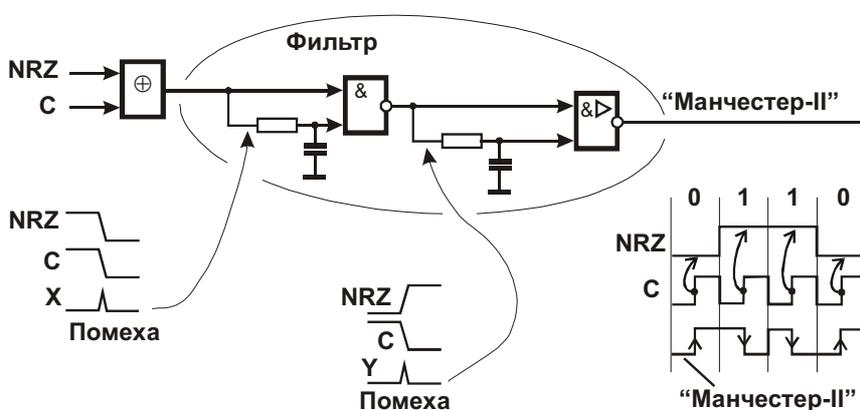


рис. 9.25. Шифратор кода Манчестер-II

Фильтр предназначен для подавления кратковременных импульсов, которые могут возникнуть из-за неидеального совпадения отрицательного фронта сигнала C с отрицательным или положительным фронтом сигнала NRZ. Дешифраторы кода Манчестер-II более сложны по логической структуре и чаще всего в явном виде не используют описанную ранее идею перезапуска часов в каждом битовом интервале (см. рис. 9.23).

### *Дешифратор кода Манчестер-II, первый вариант*

Этот вариант [22] предложен в 1980 году, и к настоящему времени представляет, скорее, "познавательный", чем практический интерес в силу наглядности решения задачи дешифрации, пусть и с повышенными затратами аппаратуры.

Дешифратор кода Манчестер-II (рис. 9.26, а) [22] содержит формирователь F импульсов, счетный триггер СТ и D-триггер. Как следует из временной диаграммы, приведенной на рис. 9.26, б, отрицательные импульсы j на выходе формирователя импульсов возникают всякий раз, когда сигнал Манчестер-II изменяет значение (0 → 1 или 1 → 0). Сигнал k восполняет "недостающие" импульсы j.

"Интеллект" дешифратора, по существу, скрыт в структуре формирователя F импульсов. Поясним сказанное. Читатель может без труда нарисовать временную диаграмму сигнала k, используя только диаграмму сигнала j. Действительно, на временной диаграмме сигнала j визуально прослеживаются промежутки, в течение которых частота следования отрицательных импульсов снижается из-за их "недостаки". В эти промежутки и следует формировать импульсы k. Один из вариантов построения формирователя приведен в [22].

Так как импульс k поступает на вход S установки единицы счетного триггера СТ, то в момент  $t_0$  этот триггер безусловно перейдет в единичное состояние, и в дальнейшем сигнал

$C^*$  на его инверсном выходе будет в точности повторять сигнал  $C$  от источника данных (разумеется, с некоторой задержкой).

Начиная с момента  $t_1$ , т. е. по прошествии одного периода тактовых импульсов от момента  $t_0$ , код  $NRZ^*$ , снимаемый с выхода триггера ТТ, полностью совпадает с исходным кодом  $NRZ$  (с точностью до задержки передачи). Таким образом, для того чтобы заставить приемник войти в синхронизм с передатчиком, достаточно на линии  $NRZ$  создать переход сигнала из 0 в 1. Последующая цепочка битов любой длины, передаваемая по линии  $NRZ$ , будет в точности повторена на линии  $NRZ^*$  приемника. Это же относится и к синхросигналам.

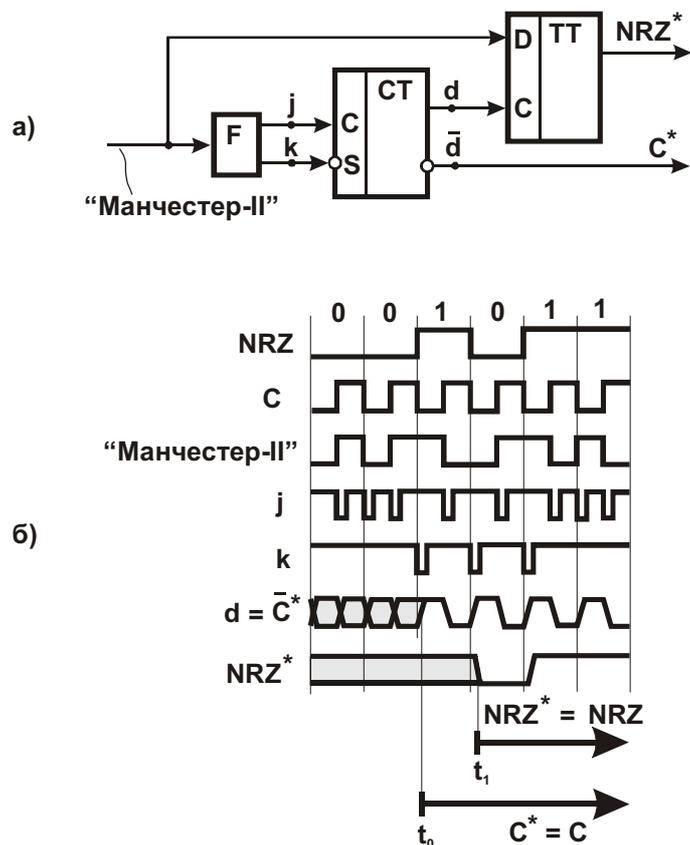


рис. 9.26. Дешифратор кода Манчестер-II (первый вариант):  
а – схема; б – временные диаграммы

Недостатком рассмотренной схемы дешифратора является сложность реализации формирователя  $F$  импульсов. Аналоговое решение формирователя (использующее времязадающие RC-цепи) не обеспечивает высокой стабильности его работы при изменении температуры и питающего напряжения. Поэтому предпочтительна чисто цифровая реализация схемы формирователя.

Идея его построения может быть такой. Как было показано, формирователь должен оценивать своевременность появления импульсов  $j$  и восполнять недостающие импульсы. Для этого он должен оперировать достаточно короткими интервалами времени, составляющими, например,  $1/8$  или  $1/16$  части битового интервала кода Манчестер-II.

Внутренний таймер формирователя (на рисунке не показан) должен отсчитывать время от окончания очередного импульса  $j$  или  $k$  и ждать появления очередного импульса  $j$  в некотором доверительном интервале. Если этот импульс приходит, то таймер перезапускается, и цикл ожидания повторяется. Если же ожидаемого импульса  $j$  нет, то вместо него формируется импульс  $k$ . Он может размещаться не точно на том месте, где ожидался импульс  $j$ , а с некоторой задержкой, связанной с ожиданием.

Таким образом, формирователь импульсов имеет довольно сложную логическую структуру, при этом тактовая частота его работы должна значительно превышать скорость передачи данных по линии.

### Дешифратор кода Манчестер-II, второй вариант

Схема дешифратора [78], приведенная на рис. 9.27, по сравнению с ранее рассмотренной, более проста и оперирует более низкой частотой внутреннего генератора  $G$  синхросигналов. Генератор формирует периодический сигнал  $W$  опроса линии и приема дешифрованных сигналов в выходной регистр  $RG$ . Тактовая частота генератора в данном случае превышает скорость передачи данных по линии в  $N = 3,33$  раза. Это означает, что при скорости передачи данных по линии, равной 15 Мбит/с, частота сигнала  $W$  с выхода генератора  $G$  равна 50 МГц. С учетом возможного “дрожания фронтов” (джиттера) входного сигнала соотношение частот может быть несколько увеличено, например, до уровня  $N = 4,0$ . Генератор  $G$  работает автономно, т. е. он не синхронизирован входным сигналом с линии. Точность и стабильность генератора могут быть сравнительно низкими, важно только, чтобы максимальное отклонение частоты генератора в сторону ее снижения не приводило к уменьшению фактического значения параметра  $N$  ниже расчетного уровня.

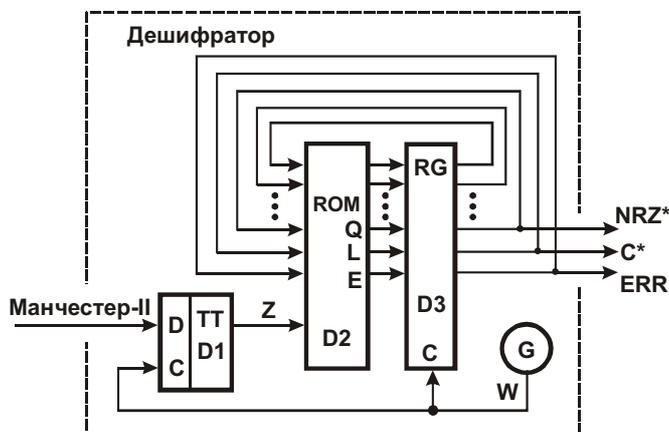


рис. 9.27. Дешифратор кода Манчестер-II (второй вариант)

Дешифратор выполнен на основе “конечного автомата” – комбинационной схемы  $D2$  (в данном примере реализованной на основе ПЗУ) с подключенным к ее выходам регистром  $RG$ . Три разряда этого регистра выделены для хранения текущего состояния выходных сигналов  $NRZ^*$  и  $C^*$ , а также сигнала  $ERR$  обнаружения ошибки кодирования входного сигнала. Эти и другие разряды регистра  $RG$  отображают текущее состояние дешифратора и по цепям обратной связи передаются на адресные входы ПЗУ. По положительному фронту сигнала  $W$  с выхода генератора  $G$  в регистре  $RG$  фиксируется очередной код, а в триггер  $D1$  заносится результат очередного опроса состояния линии. Сигнал  $Z$  с выхода этого триггера, также как и сигналы обратной связи, поступает на адресные входы ПЗУ.

При дешифрации кода Манчестер-II устройство проходит через множество состояний, каждое из которых зависит как от предыстории (от состояния регистра  $RG$ ), так и от результата последнего опроса сигнала в линии (этот результат зафиксирован в триггере  $D1$  в виде сигнала  $Z$ ). В каждом такте сигнала  $W$  происходит вычисление новых значений сигналов  $NRZ^*$  и  $C^*$ , а также сигналов обратной связи, определяющих направления перехода к последующим состояниям. Общее число состояний дешифратора зависит от параметра  $N$ , от требуемых возможностей противодействия влиянию джиттера входного сигнала, от заданного уровня детализации ошибок в линии, если требуется их распознавание. Число состояний может лежать, например, в диапазоне от 32 до 256. Вместо ПЗУ может использоваться программируемая логическая матрица или “жесткая” структура из логических элементов.

Сигнал Манчестер-II (рис. 9.28), как было показано ранее (см. рис. 9.25), формируется суммированием по модулю два исходных сигналов  $NRZ$  и  $C$  (данных и синхросигнала) и по-

ступает на D-вход триггера D1 (см. рис. 9.27). Моменты опроса сигнала Манчестер-II не обязательно совпадают с его установившимися значениями, так как генератор G не синхронизирован сигналом с линии. Иными словами, положительный фронт сигнала опроса W может практически совпадать с положительным или отрицательным фронтом сигнала Манчестер-II. В этом случае в триггер D1 с равной вероятностью будет принят сигнал лог. 0 или 1.

Для определенности предположим, что в таких “спорных” ситуациях принятые в триггер D1 сигналы соответствуют значениям, показанным рядом с вертикальными стрелками на диаграмме сигнала Манчестер-II. Так, в начале такта T0\* момент опроса сигнала Манчестер-II примерно совпадает с его первым положительным фронтом; при этом, как предполагаем, триггер D1 остается в нулевом состоянии (см. обозначение “0” рядом с первой слева стрелкой). Последующие опросы соответствуют фиксации в триггере D1 следующих состояний: 11100011011001001100 и т. д.

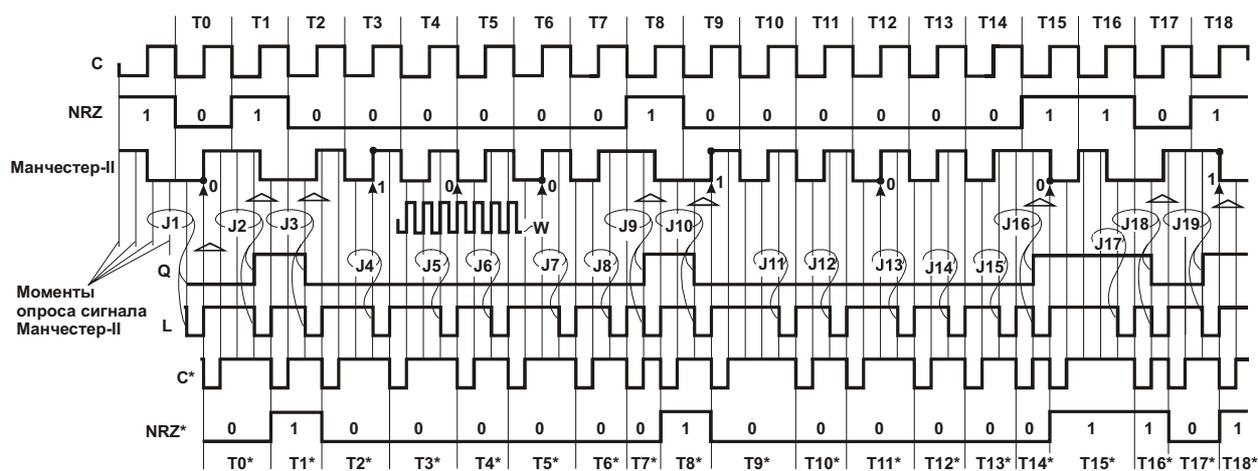


Рис. 9.28. Временные диаграммы формирования сигнала Манчестер-II и его последующей дешифрации схемой, приведенной на рис. 9.27

В отсутствие искажений входного сигнала и при заданном отношении  $N = 3,33$  длительности битового интервала сигнала Манчестер-II к периоду сигнала W можно отметить следующее.

1. Низкочастотные компоненты сигнала Манчестер-II, т. е. импульсы или паузы между ними длительностью, равной одному битовому интервалу, опрашиваются тремя или четырьмя положительными фронтами сигнала W. Так, в интервале времени T17\* получены четыре единичных “отсчета” входного сигнала, соответствующие последнему (на диаграмме) широкому положительному импульсу сигнала Манчестер-II. Пауза перед этим импульсом опрашивалась три раза группой отсчетов J18 и т. д.

2. Высокочастотные компоненты сигнала Манчестер-II, т. е. импульсы или паузы между ними длительностью, равной половине битового интервала, опрашиваются одним или двумя положительными фронтами сигнала W.

Таким образом, при  $N = 3,33$  непрерывная последовательность отсчетов позволяет распознавать и различать низкочастотные и высокочастотные компоненты входного сигнала. Остаётся только вести непрерывный анализ этих отсчетов (с учетом предыстории) и на его основе восстанавливать исходный сигнал NRZ.

Для анализа данных Z с выхода триггера D1 и восстановления сигнала NRZ используется упоминавшийся ранее конечный автомат. В качестве текущего промежуточного результата анализа используется сигнал Q – прототип сигнала NRZ\*, опережающий сигнал NRZ\* на один период сигнала W. Истинность выходного сигнала NRZ\* подтверждается положительными фронтами сигнала C\* (эти фронты всегда соответствуют установившемуся значению сигнала NRZ\*).

Рассмотрим правила формирования сигналов  $Q$ ,  $C^*$  и  $NRZ^*$ , т. е., по существу, алгоритм функционирования конечного автомата. (Сигналы  $E$  и  $ERR$  обнаружения ошибки кодирования входного сигнала далее не рассматриваем для упрощения изложения.)

1. При обнаружении трех последовательных единичных отсчетов кода Манчестер-II (трех единичных сигналов  $Z = 1$ ) формируется сигнал  $Q = 1$ , а также “отрицательный” импульс  $L = 0$  длительностью, равной одному периоду сигнала  $W$ . Состояние  $Q = 1$  поддерживается вплоть до выполнения условия 2.
2. При обнаружении трех последовательных нулевых отсчетов кода Манчестер-II (трех нулевых сигналов  $Z = 0$ ) формируется сигнал  $Q = 0$ , а также импульс  $L = 0$  длительностью, равной одному периоду сигнала  $W$ . Состояние  $Q = 0$  поддерживается вплоть до выполнения условия 1.
3. В состоянии  $Q = 1$  импульсы  $L = 0$  длительностью, равной одному такту сигнала  $W$ , формируются всякий раз при обнаружении отрицательного фронта сигнала Манчестер-II, т. е. при обнаружении перехода сигнала  $Z$  из состояния лог. 1 в состояние лог. 0. Исключение составляет первый такой переход (см. моменты опросов, охваченные на диаграмме треугольниками) после установления состояния  $Q = 1$ ; этот переход игнорируется.
4. В состоянии  $Q = 0$  импульсы  $L = 0$  длительностью, равной одному такту сигнала  $W$ , формируются всякий раз при обнаружении положительного фронта сигнала Манчестер-II, т. е. при обнаружении перехода сигнала  $Z$  из состояния лог. 0 в состояние лог. 1. Исключение составляет первый такой переход после установления состояния  $Q = 0$ ; этот переход игнорируется.
5. Сигналы  $NRZ^*$  и  $C^*$  формируются из сигналов  $Q$  и  $L$  при фиксации последних в выходном регистре  $RG$  по положительным фронтам сигнала  $W$ . Поэтому сигналы  $NRZ^*$  и  $C^*$  задержаны относительно сигналов  $Q$  и  $L$  на один период сигнала  $W$ .

Рассмотрим применение этого алгоритма на примере конкретной кодовой ситуации, приведенной на рис. 9.28.

Предположим, что группа  $J1$  из трех последовательных отсчетов сигнала Манчестер-II (три вертикальные линии, проходящие через овал с обозначением  $J1$ ) соответствует его нулевому значению. Согласно правилу 2, по результату последнего опроса из группы  $J1$  формируется сигнал  $Q = 0$  и сигнал  $L = 0$ . В следующем такте сигнала  $W$  сигнал  $L$  безусловно восстанавливает исходное значение  $L = 1$ .

Согласно правилу 4, при  $Q = 0$  начинается слежение за положительными фронтами сигнала Манчестер-II, причем первый такой фронт игнорируется. Первый положительный фронт сигнала Манчестер-II соответствует последовательным нулевому и единичному отсчетам, которые на диаграмме обведены крайним левым треугольником (это обозначение используется и далее для указания фронтов, которые игнорируются).

Следующим значимым событием является обнаружение группы  $J2$  из трех единичных отсчетов. Согласно правилу 1, по результату последнего опроса из группы  $J2$  формируется сигнал  $Q = 1$  и сигнал  $L = 0$ . В следующем такте сигнала  $W$  сигнал  $L$  безусловно восстанавливает исходное значение  $L = 1$ .

Согласно правилу 3, при  $Q = 1$  начинается слежение за отрицательными фронтами сигнала Манчестер-II, причем первый такой фронт игнорируется. Первый (после установления сигнала  $Q = 1$ ) отрицательный фронт сигнала Манчестер-II соответствует последовательным единичному и нулевому отсчетам, которые игнорируются (на диаграмме обведены вторым слева треугольником).

Далее в результате обнаружения группы  $J3$  из трех последовательных нулевых отсчетов (см. правило 2) формируются сигнал  $Q = 0$  и третий импульс  $L = 0$ . Согласно правилу 4, первый обнаруженный положительный фронт входного сигнала (см. третий слева треугольник) игнорируется, а последующие положительные фронты, соответствующие группам отсчетов  $J4 - J8$ , вызывают формирование импульсов  $L = 0$ .

Группы отсчетов  $J9$  и  $J10$  вызывают формирование положительного импульса  $Q = 1$  и сопровождающей его пары импульсов  $L = 0$ . Группы отсчетов  $J11 - J15$  соответству-

ют обнаружению положительных фронтов входного сигнала на фоне сигнала  $Q = 0$  (первый обнаруженный фронт игнорируется). Группы отсчетов J16 и J18 вызывают формирование положительного импульса  $Q = 1$  и сопровождающей его пары импульсов  $L = 0$ .

Пара отсчетов J17 соответствует второму отрицательному фронту входного сигнала на фоне сигнала  $Q = 1$  (первый отрицательный фронт игнорируется) и формированию импульса  $L = 0$ . Группа J19 из трех последовательных единичных отсчетов входного сигнала соответствует переходу сигнала  $Q$  в состояние лог. 1 и формированию последнего импульса  $L = 0$ .

Сигнал NRZ\* задержан относительно сигнала NRZ: биты, размещенные во временных интервалах  $T_0, T_1, T_2$  и т. д., преобразуются в соответствующие биты в интервалах  $T_0^*, T_1^*, T_2^*$  и т. д. Из диаграммы следует, что длительности битовых интервалов  $T_0^*, T_1^*, T_2^*$  и т. д. не одинаковы даже при отсутствии джиттера во входном сигнале. Так, длительности интервалов  $T_{15}^*$  и  $T_{16}^*$  различаются в 2,5 раза. При этом средняя длительность битового интервала сигнала NRZ\* в точности соответствует длительности битового интервала сигнала NRZ и при  $N = 3,33$  составляет 3,33 периода сигнала  $W$ . Иными словами, дешифратор формирует выходной сигнал со значительным джиттером, что, однако, не представляет опасности для устройства-потребителя данных, так как достоверность каждого бита кода NRZ\* подтверждается положительным фронтом сигнала  $C^*$ .

### *Выводы*

1. При построении дешифраторов кода Манчестер-II обычно используется один из двух подходов. Первый основан на использовании автономного генератора для опроса состояний входной линии. При этом частота сигнала с выхода этого генератора в 5 или более раз превышает скорость передачи данных по линии. Такое превышение приводит к относительно сложным схемным решениям с использованием быстродействующих элементов, потребляющих повышенную мощность. Второй подход основан на использовании генератора с фазовой автоподстройкой частоты, что приводит к усложнению схемных решений.
2. Дешифратор (рис. 9.27) также использует автономный генератор, но позволяет снизить частоту опроса сигнала в линии, что упрощает его структуру. Дешифратор построен на основе конечного автомата, алгоритм дешифрации хранится в памяти, что позволяет легко его изменять, например, для обнаружения ошибок кодирования или повышения устойчивости к искажениям входного сигнала.

## **10. Синхронизация передатчика и приемника тестовых сигналов при измерении длины линий передачи данных**

Прежде чем применить модем либо иное телекоммуникационное устройство для работы на выделенной линии (витой паре проводов, проложенной непосредственно между абонентами, без использования какой-либо промежуточной аппаратуры усиления, коммутации, уплотнения и т. п.), желательно уточнить ее основные параметры. К этим параметрам прежде всего относятся длина линии и тип кабеля, на основе которого она выполнена. Если эти параметры точно известны, то поставщик телекоммуникационного устройства может с высокой достоверностью предсказать, применима ли эта линия для передачи данных между конкретными устройствами.

Для измерения длины кабельных линий передачи данных обычно применяют рефлектометры. Рефлектометр представляет собой своеобразный локатор. Он выдает в линию зондирующий импульс и регистрирует задержку получения отраженного от ее конца сигнала. Зная эту задержку и скорость распространения сигнала в линии, можно вычислить ее длину.

Эксперименты показывают, что рефлектометрический метод измерения длины стандартного телефонного кабеля типа ТПП-0,5 (представляющего набор витых пар проводов с

диаметром медной жилы 0,5 мм) не позволяет работать на дистанциях, превышающих 4 км, что явно недостаточно для практических целей, когда необходим диапазон, измеряемый десятками километров.

Это связано с тем, что, с одной стороны, короткий зондирующий импульс не может преодолеть достаточно длинную линию и вернуться обратно – он сильно затухает и не выделяется на фоне шумов. С другой стороны, с увеличением длительности зондирующего импульса диапазон длин измеряемых линий расширяется, но быстро входит в насыщение. Это обусловлено тем, что длительность зондирующего импульса становится соизмеримой с временем его распространения к удаленному концу линии и обратно. В результате получаемые рефлектограммы становятся непригодными для надежного распознавания отраженного импульса на фоне зондирующего из-за их интерференции и влияния других факторов.

Рассмотренные далее решения основаны на замене импульсного сигнала ступенчатым. При этом сигнал распространяется по витой паре проводов только в одну сторону. Начальная и конечная точки распространения сигнала могут находиться рядом, если линия содержит две витые пары проводов, объединенные на дальнем конце. В этой ситуации применим первый вариант измерителя (п. 10.1). Второй вариант (п. 10.2) позволяет работать с линиями, у которых начало и конец территориально разнесены. Для синхронизации приемника с источником тестового ступенчатого сигнала используются кадровые синхроимпульсы одного из каналов местного телецентра.

## 10.1. Измеритель длины петли передачи данных

Измеритель [73] содержит ведущий и ведомый блоки, подключенные к противоположным сторонам проверяемой линии передачи данных (рис. 10.1). Ведущий блок содержит микрокомпьютер (P1 ... P6 – группы сигналов входных и выходных портов), генератор G импульсов, передатчик Tx, приемник Rx, счетчик СТ и блок регистрации формы сигнала, выполненный на основе аналого-цифрового преобразователя АЦП (ADC), буфера типа FIFO и мультиплексора MUX. Ведомый блок содержит передатчик Tx и приемник Rx.

Рассмотрим работу составных частей устройства. Кварцевый генератор G формирует на выходах непрерывные последовательности импульсов А, В и С со скважностью, равной двум (рис. 10.2). Частота сигнала А выбирается достаточно низкой (например, 50 Гц или ниже, вплоть до долей герца) для того, чтобы длительность импульса, передаваемого по линии, значительно превышала время распространения сигнала по этой линии. Иными словами, можно считать, что фактически измеритель оперирует не импульсами (как в рефлектометрах), а редкими перепадами “статического” сигнала.

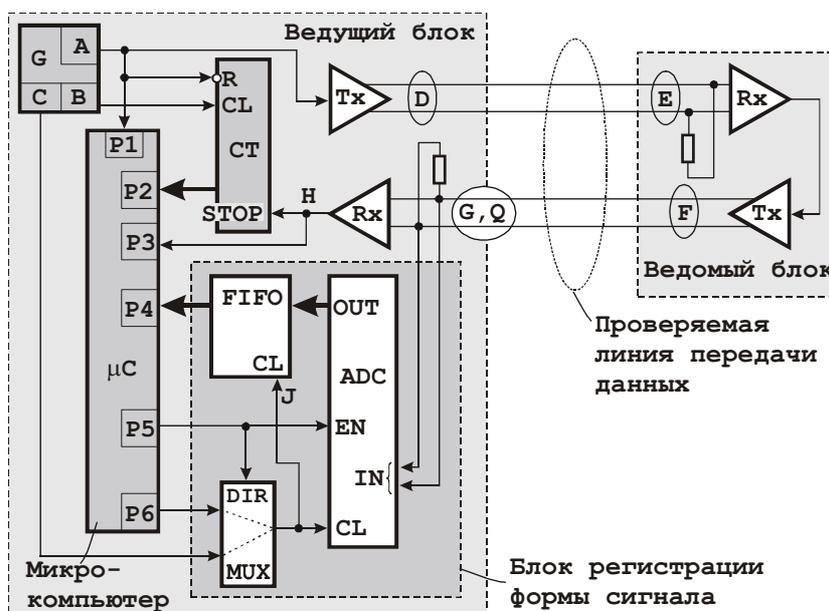


рис. 10.1. Схема измерения длины кабельной линии передачи данных – первый вариант

Частота сигнала В определяет точность регистрации интервала времени между фронтами переданного и полученного из линии сигналов и может составлять, например, 100 МГц. Частота сигнала С задает число точек, по которым воспроизводится форма сигнала (для распознавания начала фронта) после его прохождения по линии (рис. 10.3) и может составлять, например, 40 кГц.

Счетчик СТ прибавляет единицу к текущему содержимому по фронту сигнала В при условии, что  $R = 1$  и  $STOP = 0$ . При  $R = 1$  и  $STOP = 1$  счет останавливается, т. е. прекращается прибавление единиц к содержимому счетчика. При  $R = 0$  счетчик устанавливается в нуль независимо от состояния сигналов на других входах.

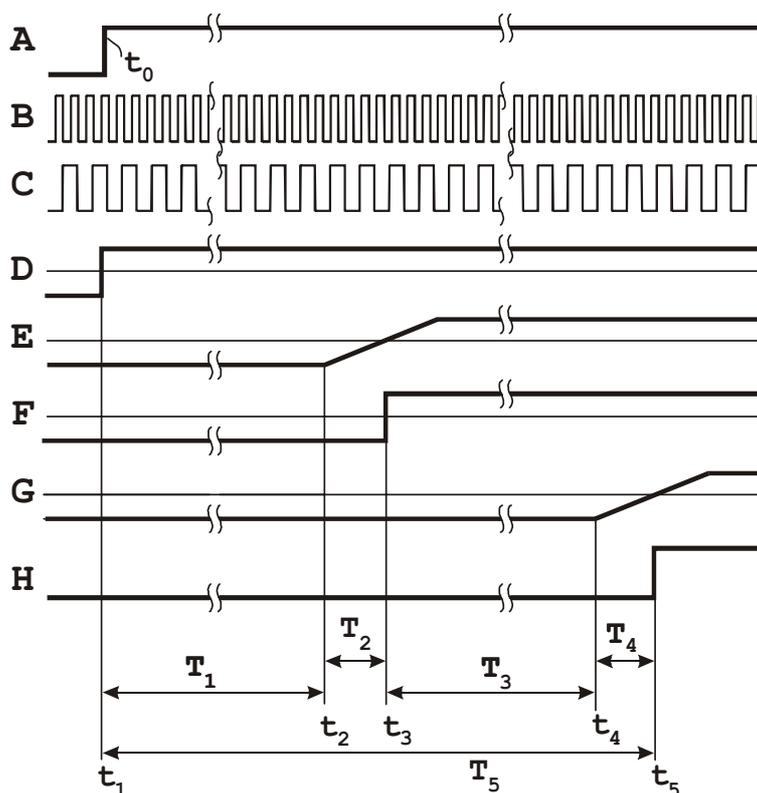


рис. 10.2. Временные диаграммы работы измерителя длины кабельной линии передачи данных

Передачики  $T_x$  имеют низкое выходное сопротивление. При переключении передатчика напряжение между его выходами изменяет знак. Длительность фронта выходного сигнала передатчика может быть преднамеренно увеличена до некоторого заданного значения (которое учитывается в окончательных расчетах длины линии), а его форма сглажена, чтобы уменьшить перекрестные помехи, наводимые на соседние линии кабеля. Для упрощения изложения предполагаем, что длительность фронта сигнала на выходах передатчиков пренебрежимо мала. Приемники выполняют функции компараторов и регистрируют моменты изменения полярности входного напряжения.

Блок регистрации формы сигнала при  $P5 = 1$  постоянно отслеживает “недавнюю предысторию” напряжения на входах АЦП. Это позволяет расчетным путем с приемлемой точностью определить момент  $t_4$  начала фронта сигнала  $Q$  (см. рис. 10.3).

Память типа FIFO работает по принципу конвейера. Под действием фронта сигнала  $J$  на входе синхронизации очередной код с выходов АЦП записывается в начало конвейера. В то же время в результате продвижения данных по конвейеру на его выход пересылается очередной код, соответствующий наиболее давней предыстории. Длина конвейера может составлять, например, 256 ячеек. При отсутствии динамики сигнала  $J$  содержимое памяти остается неизменным.

Аналого-цифровой преобразователь работает при наличии сигнала разрешения  $EN = 1$ . Очередной цикл преобразования начинается при поступлении сигнала  $J = 1$ . Мультиплексор при  $R5 = 1$  передает на выход сигнал  $C$  с нижнего входа; при  $R5 = 0$  на выход передается сигнал  $P6$ .

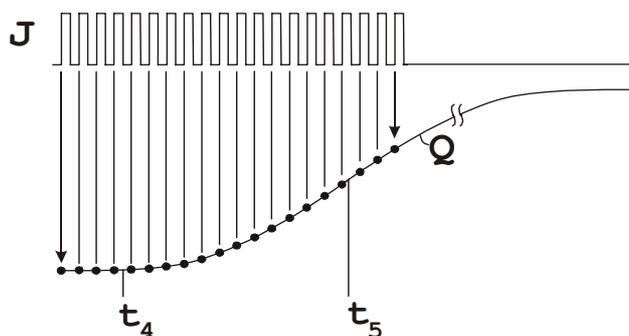


рис. 10.3. Временные диаграммы, поясняющие принцип действия блока регистрации формы сигнала

Принцип действия измерителя основан на регистрации задержки между посланным и принятым из линии перепадами уровней напряжения с учетом поправок на вносимые линией искажения фронтов сигнала. Умножив известную скорость распространения сигнала в линии на полученную расчетным путем (на основе измеренных параметров) задержку прохождения сигнала по линии (в одну сторону), можно вычислить ее длину.

В исходном состоянии, до момента  $t_0$  (см. рис. 10.2), сигнал  $A = 0$  удерживает счетчик в нулевом состоянии. (На диаграмме показан лишь фрагмент низкочастотного периодического сигнала  $A$ .) Микрокомпьютер находится в режиме ожидания перехода этого сигнала в состояние лог. 1. Сигнал  $P5 = 1$  разрешает работу АЦП и настраивает мультиплексор на передачу сигнала  $C$ . Таким образом, АЦП и память FIFO непрерывно (с частотой дискретизации, определяемой сигналом  $C$ ) отслеживают новейшую предысторию состояния сигнала на входах АЦП. Выдвигаемая из памяти информация не воспринимается микрокомпьютером и теряется как ненужная; при этом  $P6 = 0$ .

В момент  $t_0$  формируется сигнал  $A = 1$ , который разрешает работу счетчика. Микрокомпьютер, получив этот сигнал, принимает к сведению факт начала цикла измерений и переходит к ожиданию его завершения, которое, как будет показано далее, сопровождается формированием сигнала лог. 1 на его входе  $P3$ .

В момент  $t_1$ , близкий  $t_0$ , напряжение  $D$  между выходами передатчика изменяет знак. Перепад напряжения начинает распространяться по первой витой паре проводов и в момент  $t_2$  достигает дальнего конца линии. При этом фронт сигнала заметно “размывается”, что условно показано наклонным участком временной диаграммы, соответствующей сигналу  $E$  на входах удаленного приемника. После срабатывания приемника (компаратора) и передатчика (момент  $t_3$ ) ведомого блока сигнал  $F$  восстановленной формы начинает распространяться в обратном направлении по второй витой паре проводов и в момент  $t_4$  достигает входов приемника ведущего блока. Этот приемник срабатывает в момент  $t_5$ .

Сигнал  $H = 1$  с выхода приемника останавливает накопление единиц в счетчике, так что в нем фиксируется промежуток времени  $T_5$  (см. рис. 10.2), выраженный в условных единицах – периодах сигнала  $B$ . Сигнал  $H = 1$  также вызывает переход микрокомпьютера к программе завершения цикла измерения и обработки полученных результатов. Завершение цикла измерения заключается в приостановке работы блока регистрации формы сигнала, считывании данных из блока памяти и опросе счетчика.

Для приостановки работы блока регистрации формы сигнала микрокомпьютер формирует сигнал  $P5 = 0$ , запрещая работу АЦП и настраивая мультиплексор на передачу сигнала  $P6$ . Этот сигнал пока равен нулю, поэтому на выходе мультиплексора формируется временная диаграмма, приведенная на рис. 10.3. Процесс регистрации формы сигнала (см. диаграмму сигнала  $Q$ ) приостанавливается через небольшой промежуток времени после момента  $t_5$  срабатывания приемника из-за инерционности микрокомпьютера. При этом в блоке памяти хранятся данные, по которым в дальнейшем можно с некоторой точностью вычислить

длительность интервала  $T_4 = t_5 - t_4$ , соответствующего половине длительности фронта принятого сигнала (см. последовательность отсчетов, показанную рядом точек на диаграмме сигнала Q).

Считывание данных из блока памяти в микрокомпьютер происходит в сравнительно медленном темпе под управлением программы, которая периодически изменяет состояние сигнала Р6 и после каждого периода изменения считывает очередной отсчет, выдвинутый из блока памяти. После считывания всех данных или их части, необходимой для вычисления длительности промежутка времени  $T_4 = t_5 - t_4$ , микрокомпьютер опрашивает счетчик через входной порт, рассчитывает длину линии, выдает результаты на индикатор (на рисунке не показан) и переходит в описанное ранее состояние ожидания следующего положительного фронта сигнала А для повторения измерения (например в режиме усреднения результатов), либо выполняет иные действия, предписанные командами оператора.

Из временных диаграмм, представленных на рис. 10.2, следует, что, без учета задержек срабатывания передатчиков и приемников, время  $T_X$  распространения фронта сигнала до дальнего конца линии и обратно составляет

$$T_X = T_1 + T_3 = T_5 - T_2 - T_4.$$

Если предположить, что характеристики пар проводов линии примерно одинаковы, то можно считать, что  $T_2 = T_4$ ; тогда  $T_X = T_5 - 2T_4$ . Время  $T_Y$  распространения сигнала в одну сторону при этом составит  $T_Y = T_X/2 = T_5/2 - T_4$ . Значения  $T_5$  и  $T_4$  определены по результатам измерений. Искомая длина  $L$  линии вычисляется по формуле

$$L = c \cdot T_Y / K,$$

где  $c$  – скорость света в вакууме;  $K$  – коэффициент укорочения, показывающий, во сколько раз скорость света в вакууме превосходит скорость распространения сигнала по кабелю (для кабеля типа ГПП-0,5  $K = 1,52$ ).

Если принятое ранее условие примерного равенства промежутков времени  $T_2$  и  $T_4$  не соблюдается (что маловероятно), то можно провести измерение повторно, поменяв местами витые пары проводов линии и усреднив результаты измерения.

Расширение диапазона измерений достигнуто благодаря тому, что по линии передаются редкие или даже однократные перепады уровней сигнала (а не импульсы, как в рефлектометре). При этом перепад уровней сигнала распространяется по петле в одном направлении, отраженные сигналы не могут его опередить и даже догнать, так что к финишу приходит полноценный по форме сигнал уменьшенной амплитуды и имеющий “размытый” фронт. Диапазон измерений можно дополнительно увеличивать повышением уровня передаваемого сигнала с одновременным контролируемым увеличением длительности его фронта. Можно формировать фронт в виде графика функции

$$y = \sin \omega t,$$

где  $\omega$  – параметр, определяющий крутизну фронта;  $-\pi/2 \leq \omega t \leq \pi/2$ .

Увеличение длительности фронта и сглаживание его формы уменьшает нежелательное влияние проверяемой линии на соседние, размещенные в том же кабеле. Но даже при заметном влиянии, помехи окажутся редкими (или даже однократными).

## 10.2. Способ синхронизации измерителя длины кабельной линии передачи данных

В предыдущей схеме измерения источник и приемник тестового сигнала размещались рядом. Однако в кабеле не всегда имеется “лишняя” витая пара проводов для построения петли.

В схеме измерения, показанной на рис. 10.4 [42], начало и конец двухпроводной линии связи территориально разнесены. Для синхронизации работы передающего и приемного блоков использован сигнал местного телецентра.

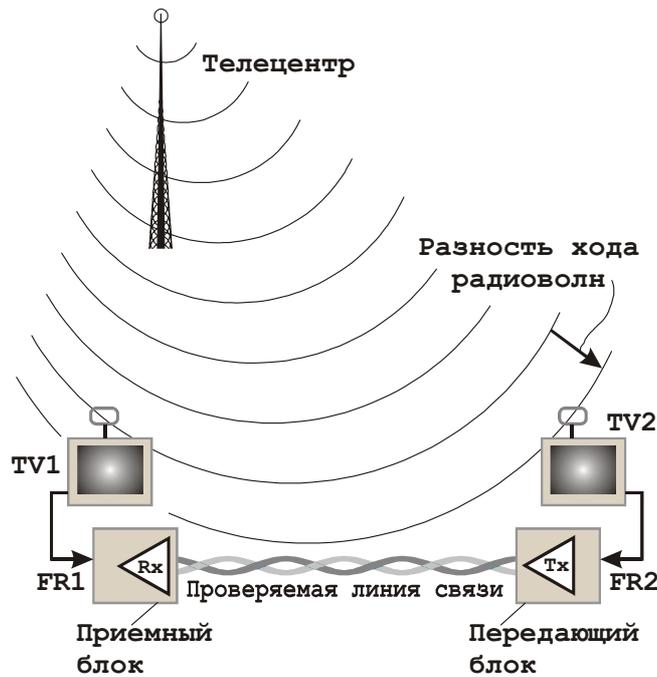


Рис. 10.4. Схема измерения длины кабельной линии передачи данных – второй вариант

Перед началом измерений телевизионные приемники TV1 и TV2 отключаются от передающего и приемного блоков, помещаются рядом и настраиваются на прием одной и той же местной телевизионной программы. С помощью осциллографа или иного измерительного прибора телевизионные приемники калибруются так, чтобы свести к минимуму разность фаз между их кадровыми синхроимпульсами FR1 и FR2.

Структура приемного и передающего блоков (рис. 10.5) близка описанной ранее структуре ведущего и ведомого блоков (см. п. 10.1).

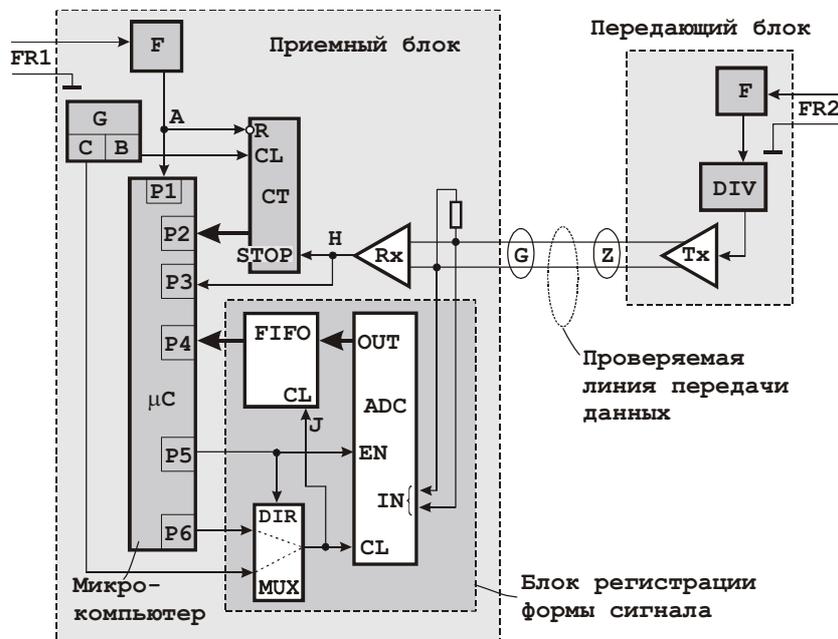


рис. 10.5. Структура приемного и передающего блоков

Введены формирователи F импульсов, делитель DIV частоты. Часть аппаратуры исключена. В приемном блоке цикл измерения начинается по сигналу FR1. В передающем блоке

выдача перепада напряжения в линию происходит по сигналу FR2 (возможно, “прореженному”, если коэффициент деления частоты делителем DIV превышает единицу). Приемный блок регистрирует время между поступлением тестового сигнала из линии и ближайшим предшествующим кадровым синхроимпульсом FR1.

Как и в предыдущем решении, для вычисления длины линии необходимо знать значение коэффициента укорочения и измерить время  $T_L$  распространения сигнала от начала линии до ее конца. Это время может быть получено проведением двух измерений с усреднением результатов.

При первом измерении расположение передающего и приемного блоков соответствует показанному на рис. 10.4. Временные диаграммы сигналов приведены на рис. 10.6, а. Разность хода радиоволн вызывает отставание кадрового синхроимпульса FR2 от импульса FR1 на некоторый промежуток времени  $T_D$ . Поэтому вместо истинного значения  $T_L$  получим искаженное:  $T_M = T_L + T_D$ , поскольку отсчет времени начинается по положительному фронту сигнала А еще до того как в линию выдан тестовый сигнал Z.

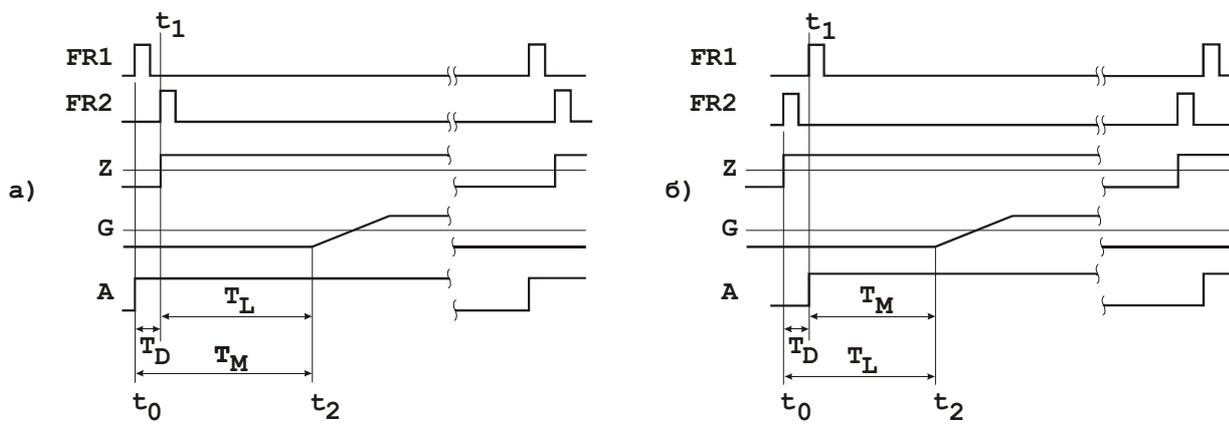


Рис. 10.6. Временные диаграммы измерения длины линии связи: а – при размещении передающего и приемного блоков в соответствии с рис. 10.4; б – после перестановки блоков

Второе измерение  $T_L$  проводится после перестановки передающего и приемного блоков относительно проверяемой линии. (Телевизионные приемники остаются на своих местах.) Поэтому разность хода радиоволн создает ошибку измерения той же величины, но противоположного знака, и вместо истинного значения  $T_L$  получим искаженное:  $T_M = T_L - T_D$  (см. временные диаграммы, приведенные на рис. 10.6, б).

Усредняя результаты первого и второго измерений, получим истинное значение времени распространения сигнала от начала линии до ее конца:  $(T_L + T_D + T_L - T_D)/2 = T_L$ .

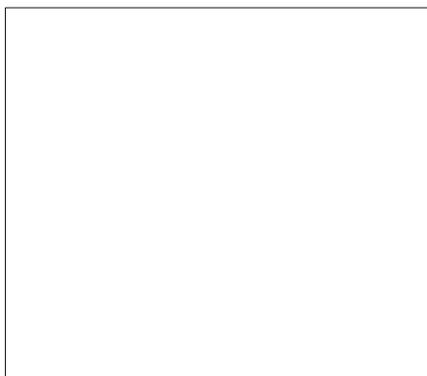
На практике комплект измерительной аппаратуры может состоять из двух одинаковых частей, каждая из которых содержит как передающий, так и приемный блоки. Это исключает необходимость механической перестановки блоков для проведения второго измерения. Отметим, что описанную ранее калибровку телевизионных приемников TV1 и TV2 можно не проводить, если при втором измерении поменять эти приемники местами. В этом случае взаимный “перекос” кадровых синхроимпульсов FR1 и FR2, вызванный неидентичностью телевизионных приемников, будет автоматически компенсирован при усреднении результатов.

Если коэффициент деления сигнала FR2 выбран большим единицы, то часть кадровых импульсов не используется для измерения. “Пропущенные” измерения соответствуют получению микрокомпьютером приемного блока сигнала с выхода приемника Rx за период следования кадровых синхроимпульсов (20 мс).

## Литература

1. Патент США № 5.408.500.
2. <http://www.datum.com> – Сайт ф. Datum (США)
3. Патент США № 5.687.199.
4. Патент США № 6.088.412.
5. Патент США № 5.727.034.
6. Патент США № 5.367.534.
7. Патент США № 6.195.385 В1.
8. Патент США № 5.062.124.
9. <http://www.tiaonline.org> – Сайт ассоциации производителей телекоммуникационного оборудования TIA (The Telecommunication Industry Association)
10. Патент США № 5.933.468.
11. Патент США № 6.044.421.
12. Патент США № 5.982.833.
13. Патент США № 5.966.409.
14. Патент США № 5.822.328.
15. Олифер В.Г., Олифер Н.А. Компьютерные сети. Принципы, технологии, протоколы. – СПб: Изд-во “Питер”, 2000. – 672 с.
16. Стандарт IEEE 802.3.
17. Рекомендация ITU-T G.703.
18. Патент США № 5.610.951.
19. Патент США № 4.442.550.
20. Патент США № 5.539.751.
21. Electronic Products. – 1982. – Vol. 25, N 5. – P. 63 – 67, 71 – 76.
22. Intern. J. of Electronics. – 1980. – Vol. 49, N 2. – P. 175 – 177.
23. Патент США № 5.771.249.
24. Патент США № 4.872.186.
25. Патент США № 5.825.834.
26. Патент США № 5.422.919.
27. Патент США № 6.011.808.
28. Патент США № 5.905.756.
29. Патент США № 6.400.727 В1.
30. Патент США № 5.463.645.
31. Патент США № 5.204.859.
32. Патент США № 5.901.189.
33. Патент США № 4.715.044.
34. Патент США № 5.943.377.
35. Патент США № 4.833.675.
36. Патент США № 4.771.442.
37. Патент США № 5.058.142.
38. Патент США № 6.421.404 В1.
39. Патент США № 5.781.595.
40. Патент США № 6.222.893 В1.
41. Патент США № 6.470.034 В1.
42. Патент РФ № 2.187.784.
43. Патент США № 4.578.797.
44. Патент США № 5.245.635.
45. Мультимедиа, 2(12), апрель 2002 г., с. 17 – 19.

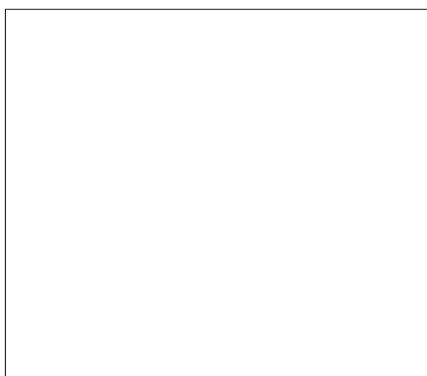
46. Патент США № 5.408.507.
47. Патент США № 4.370.617.
48. Патент США № 4.817.117.
49. Патент США № 6.134.234.
50. Патент США № 5.068.879.
51. Патент США № 5.956.348.
52. Патент США № 6.195.402 В1.
53. Патент США № 6.081.550.
54. Патент США № 6.215.835 В1.
55. Патентная заявка США № US 2002/0037064 А1.
56. Патент США № 6.002.732.
57. Патент США № 5.499.275.
58. Патент США № 5.517.521.
59. Патент США № 5.724.392.
60. Патент США № 5.724.360.
61. Стандарт MIL-STD-1553В (США).
62. Патент США № 5.602.859.
63. Патент США № 6.269.414 В1.
64. Патент США № 5.461.379.
65. Искусство схемотехники / П.Хоровиц, У.Хилл: В 3-х т. – М.: Мир, 1993. – 2 т.
66. Патент США № 4.920.545.
67. Патент США № 4.860.286.
68. Патент США № 4.599.723.
69. Патент США № 5.179.592.
70. Патент США № 5.530.959.
71. Шевкопляс Б.В. Микропроцессорные структуры. Инженерные решения:  
Справочник. – 2-е изд., перераб. и доп. – М.: Радио и связь, 1990. – 512 с.
72. Шевкопляс Б.В. Микропроцессорные структуры. Инженерные решения:  
Справочник. – Дополнение первое. – М.: Радио и связь, 1993. – 256 с.
73. Патент РФ № 2.183.052.
74. Патент США № 5.160.929.
75. Патент США № 4.590.601.
76. Патент США № 4.719.643.
77. <http://www.zelax.ru> – Сайт компании “Зелакс” (Россия).
78. Пат. США № 6.628.212.



**Сухман Сергей Маратович** окончил в 1987 г. Московский институт электронной техники. Один из основателей компании “Зелакс”, которая специализируется на разработке и производстве телекоммуникационного оборудования. Внес значительный вклад в развитие компании, обеспечив конкурентоспособность производимых устройств, вытеснивших с Российского рынка некоторые зарубежные аналоги. С 1992 г. является техническим директором компании. С.М. Сухман имеет ряд публикаций в ведущих отраслевых периодических изданиях по связи и телекоммуникациям. Не-

которые предложенные им технические решения запатентованы.

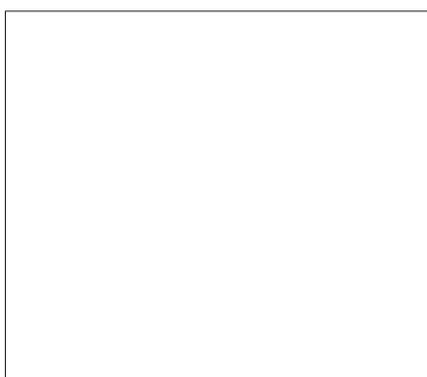
E-mail: [suhman@zelax.ru](mailto:suhman@zelax.ru)



**Бернов Аркадий Валентинович** окончил в 1988 г. Московский институт электронной техники. Работал инженером-стажером в этом институте, затем ведущим инженером в ЗАО “Золотой шар”. В компании “Зелакс” работает с 1997 г., а с 2000 г. является заместителем ее технического директора. А.В. Бернов – автор технических решений и руководитель разработок хорошо известных потребителям модемов для выделенных линий: М-144, М-1, М-30. В настоящее

время проектирует серию модемов нового поколения. Автор более 20 печатных работ. Основная тема публикаций – современные технологии связи, новые принципы построения телекоммуникационной аппаратуры.

E-mail: [bav@zelax.ru](mailto:bav@zelax.ru)



**Шевкопьяс Борис Владимирович** после окончания в 1969 г. Московского инженерно-физического института работал на предприятиях министерства электронной промышленности в г. Зеленограде. Принимал участие в разработке ряда мини- и микроЭВМ серии “Электроника НЦ”, центра коммутации сообщений (ЦКС) министерства гражданской авиации, был заместителем главного конструктора по схемотехнике диалоговых вычислительных комплексов (ДВК), разрабатывал микропроцессорную аппаратуру специального назначения. С 2000 г. работает ведущим инженером в

компании “Зелакс”. Автор 65 изобретений и трех книг “Микропроцессорные структуры: инженерные решения”.

E-mail: [borissh@zelmail.ru](mailto:borissh@zelmail.ru)