

У читателя могут возникнуть сомнения в том, что ВЕР-генератор третьего модема выдает в линию псевдослучайную тестовую последовательность битов со скоростью, задаваемой генератором G1. Действительно, данные в смеси с синхросигналом передаются по “верхнему” каналу справа налево, а генератор G1 находится слева. Каким образом синхросигнал от генератора G1 может распространяться по линии против течения потока данных? – Ответ на этот вопрос мы уже рассматривали, см. п. 3.5.2.

8.5. Кодирование данных и синхросигнала для параллельной передачи по группе витых пар проводов

Далее приведен ряд схемных решений, обеспечивающих передачу данных по группе витых пар проводов. Сначала рассмотрена основная схема, а затем предложены ее усовершенствованные варианты. Повышенная степень детализации предлагаемых схемных решений обусловлена тем, что они не описаны в литературе.

8.5.1. Схема кодирования – декодирования

Сигналы можно передавать по нескольким витым парам проводов без использования кодирования, выделив для каждого сигнала одну витую пару. В схеме, приведенной на рис. 8.22, трехразрядный параллельный код DIN и сопровождающий его синхросигнал CIN передаются по четырем витым парам проводов к удаленному абоненту. Выходной код DOUT и принятый синхросигнал COUT совпадают с входными с точностью до задержки передачи.

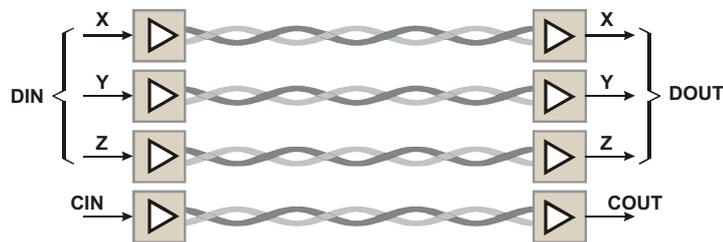


Рис. 8.22. Схема параллельной передачи данных и синхросигнала по витым парам проводов без применения кодирования

При увеличении разрядности кода DIN такое решение становится слишком неэкономичным. Для уменьшения числа витых пар проводов можно воспользоваться схемой, приведенной на рис. 8.23 [74].

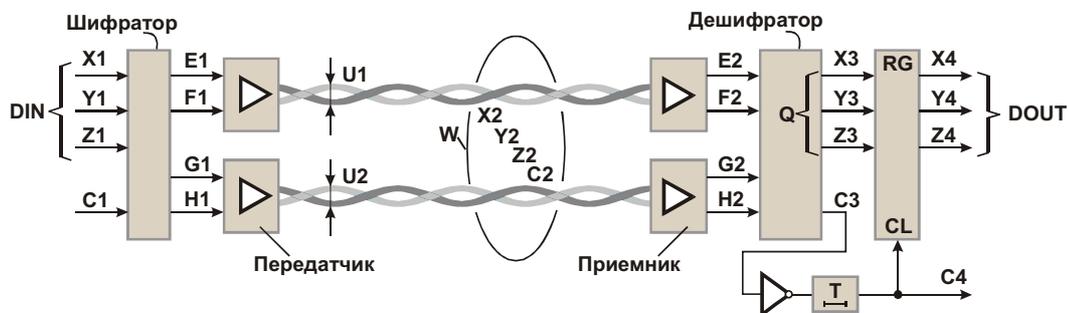


Рис. 8.23. Схема параллельной передачи кодированных данных и синхросигнала по витым парам проводов

В этой схеме применено трехуровневое кодирование сигнала в линии. Напряжение U_1 (U_2) между проводами витой пары может быть отрицательным, нулевым или положительным (сокращенно: $-$, 0 , $+$). Это напряжение формируется передатчиком в зависимости от сочетания битов $E_1 F_1$ ($G_1 H_1$) на его входах следующим образом. При $E_1 = F_1 = 0$ ($G_1 = H_1 = 0$) напряжение U_1 (U_2) нулевое, при $E_1 = 0$, $F_1 = 1$ ($G_1 = 0$, $H_1 = 1$) – отрицательное, при $E_1 = 1$, $F_1 = 0$ ($G_1 = 1$, $H_1 = 0$) – положительное. Код $E_1 F_1 G_1 H_1$ формируется шифратором из входного кода $X_1 Y_1 Z_1 C_1$ (данные, синхросигнал), как показано в левой части Таблица 8.1 табл. 8.1.

Таблица 8.1 табл. 8.1

Состояния шифратора, линии связи и дешифратора при параллельной передаче трех битов данных и синхросигнала

Коды на входах и выходах шифратора								Сигналы в линии		Коды на входах и выходах дешифратора							
C1	X1	Y1	Z1	E1	F1	G1	H1	U1	U2	H2	G2	F2	E2	Z3	Y3	X3	C3
1	×	×	×	0	0	0	0	0	0	0	0	0	0	×	×	×	1
0	0	0	0	0	0	0	1	0	-	1	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0	0	+	0	1	0	0	1	0	0	0
0	0	1	0	0	1	0	0	-	0	0	0	1	0	0	1	0	0
0	0	1	1	0	1	0	1	-	-	1	0	1	0	1	1	0	0
0	1	0	0	0	1	1	0	-	+	0	1	1	0	0	0	1	0
0	1	0	1	1	0	0	0	+	0	0	0	0	1	1	0	1	0
0	1	1	0	1	0	0	1	+	-	1	0	0	1	0	1	1	0
0	1	1	1	1	0	1	0	+	+	0	1	0	1	1	1	1	0

Примечание. Символ “ \times ” соответствует произвольному значению бита

Приемники и дешифратор осуществляют обратное преобразование сигналов, представленных напряжениями U_1 и U_2 в линии. В этом можно убедиться сопоставлением левой и правой частей таблицы – они симметричны. В центральной части таблицы показаны девять возможных комбинаций сигналов в линии. Первая комбинация (0 0) выбрана для отображения единичного состояния синхросигнала. Символы “ \times ” в левой части таблицы означают, что при $C_1 = 1$ входные сигналы DIN не воспринимаются шифратором. Эти же символы в правой части таблицы показывают, что при выдаче синхросигнала C_3 выходные данные $X_3 Y_3 Z_3$ не определены и не могут использоваться для выдачи абоненту. Остальные восемь комбинаций сигналов в линии распределены для отображения восьми состояний трехразрядного кода $X_1 Y_1 Z_1$ при условии, что $C_1 = 0$. Шифратор и дешифратор могут быть выполнены на основе ПЗУ, программируемой логики или построены из обычных логических элементов.

Как следует из временных диаграмм, показанных на рис. 8.24, сигналы, передаваемые по линии, поочередно отображают синхросигнал и данные. Преобразователями этих зашифрованных тремя уровнями напряжения сигналов (C_2 , X_2 , Y_2 , Z_2) в группе W являются сигналы на входах шифратора. Как уже отмечалось, группа выходных сигналов дешифратора не определена при наличии синхросигнала. Этот факт отмечен затемненными областями на временной диаграмме группы Q сигналов X_3 , Y_3 , Z_3 на выходе шифратора.

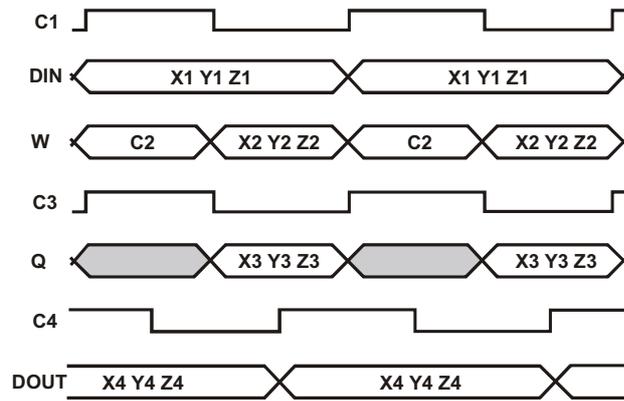


рис. 8.24. Временные диаграммы передачи данных и синхросигнала

Для устранения областей неопределенности этих сигналов применен параллельный регистр RG. Данные принимаются в него по положительному фронту сигнала C4, который формируется из сигнала C3 после его инвертирования и задержки на четверть периода. В результате сигналы DOUT и C4 с некоторой задержкой повторяют сигналы DIN и C1.

8.5.2. Усовершенствованная схема – первый вариант

Описанный способ уменьшения числа витых пар проводов линии применим и к схемам с большей разрядностью. В общем случае при трехуровневом кодировании число состояний линии, содержащей N витых пар проводов, равно 3^N . С помощью этих состояний можно передать M -разрядный двоичный код DIN (см. рис. 8.23), где $M = \lfloor \log_2 3^N \rfloor$, прямые скобки обозначают целую часть заключенного в них числа. Так, при $N = 2, 3, 4, \dots, 10$ разрядность M передаваемого двоичного кода составляет 3, 4, 6, 7, 9, 11, 12, 14, 15 (Таблица 8.2 табл. 8.2). Напомним, что одно из избыточных состояний линии в приведенном ранее примере использовалось для кодирования единичного состояния синхросигнала.

Таблица 8.2 табл. 8.2

Параметры перехода от троичного к двоичному представлению кодов

Число витых пар проводов N	Число состояний линии 3^N	Допустимая разрядность двоичного кода M	Число состояний двоичного кода 2^M	Избыточность троичного представления двоичного кода	
				абсолютная $3^N - 2^M$	относительная $((3^N - 2^M) / 3^N) \cdot 100\%$
2	9	3	8	1	11,1
3	27	4	16	11	40,7
4	81	6	64	17	21,0
5	243	7	128	115	47,3
6	729	9	512	217	29,8
7	2187	11	2048	139	6,3
8	6561	12	4096	2465	37,5
9	19683	14	16384	3299	16,8
10	59049	15	32768	26281	44,5

Из Таблица 8.2 табл. 8.2 следует, что при $N > 2$ в троичном представлении двоичного кода имеется избыточность, в основном, значительная. Ее можно использовать для повышения информационной нагрузки на линию связи при передаче потока данных.

Первый вариант усовершенствованной схемы предусматривает использование избыточных состояний линии для построения дополнительного канала связи. Телекоммуникационная система (рис. 8.25), в которую включена схема передачи данных, содержит четыре оконечных устройства DTE1 – DTE4, например четыре компьютера. В процессе работы системы данные передаются из устройства DTE1 в устройство DTE3 по основному (первому) каналу. Одновременно с этим по дополнительному (второму) каналу данные передаются из устройства DTE2 в устройство DTE4. (Для передачи данных в обратном направлении необходима вторая схема передачи данных, включенная встречно.)

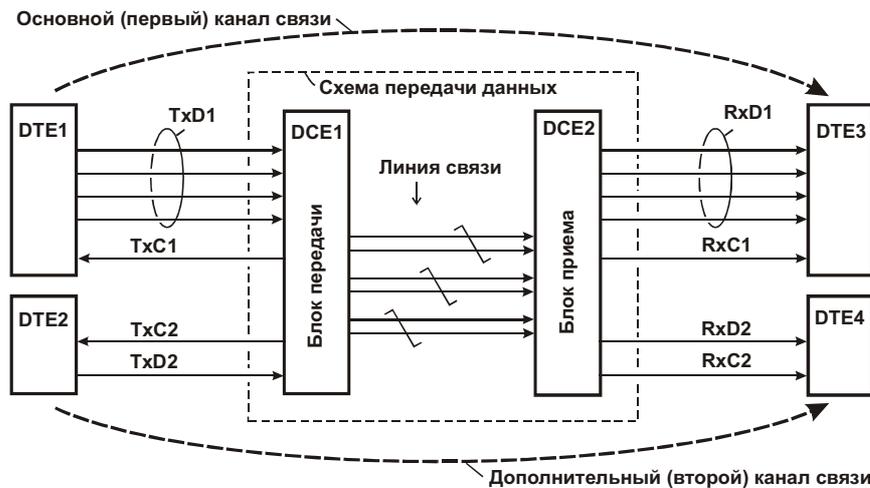


рис. 8.25. Пример включения усовершенствованной схемы передачи данных (первый, третий варианты) в телекоммуникационную систему

Сигнал TxC1 обеспечивает синхронное поступление данных TxD1 первого канала из устройства DTE1 в блок передачи данных DCE1. Сигнал TxC2 синхронизирует поступление данных TxD2 второго канала из устройства DTE2 в блок DCE1. Положительные фронты сигнала TxC1 задают границы битовых интервалов для каждого входного сигнала из группы TxD1. Положительные фронты сигнала TxC2 задают границы битовых интервалов сигнала TxD2. Отрицательные фронты сигналов TxC1 и TxC2 гарантируют истинность соответствующих данных TxD1 и TxD2. Аналогичные функции выполняют синхросигналы RxC1 и RxC2 сопровождения данных RxD1 и RxD2. Как будет показано, поток данных по первому каналу связи имеет постоянную скорость, в отличие от потока данных по второму каналу. Скорость передачи битов по второму каналу зависит от кодов в первом канале и при случайном равномерном распределении этих кодов составляет 62,5% скорости передачи четырехразрядных слов данных по первому каналу.

На рис. 8.26 – рис. 8.28 приведены схемы и временные диаграммы, поясняющие детали предлагаемого решения.

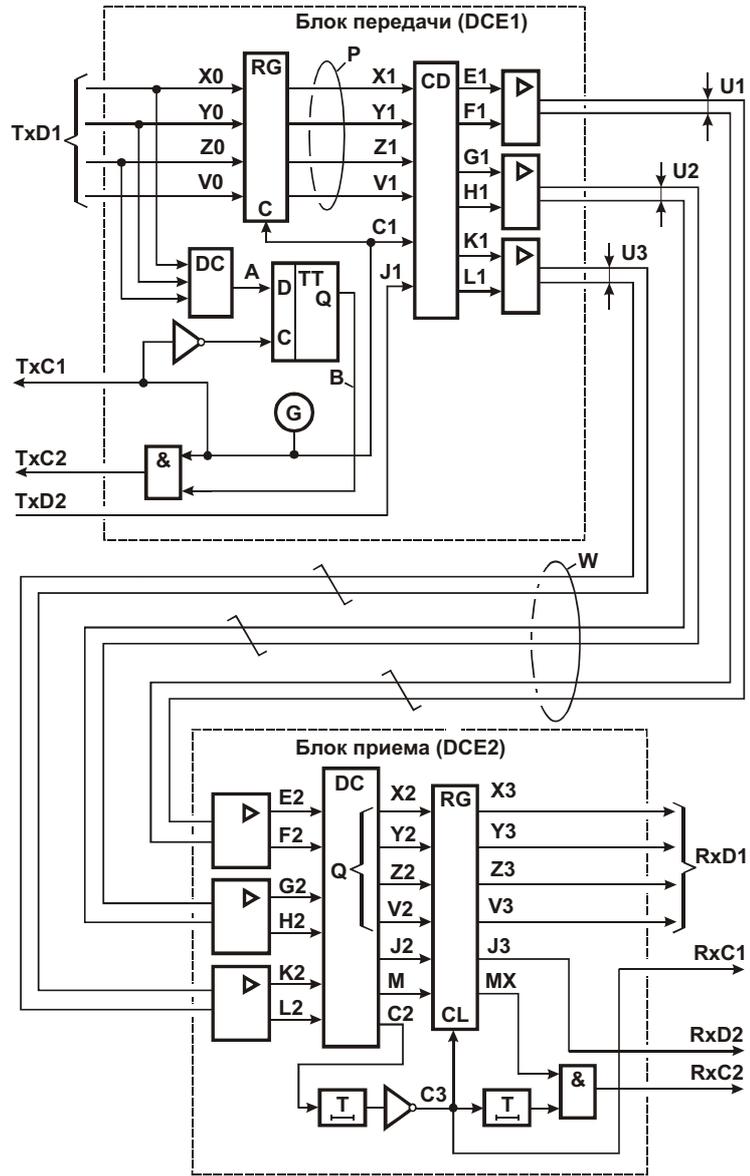


Рис. 8.26. Усовершенствованная схема параллельной передачи кодированных данных и синхросигнала по витым парам проводов (первый вариант)

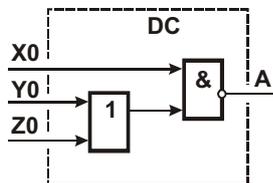


Рис. 8.27. Схема дешифратора блока DCE1 передачи данных

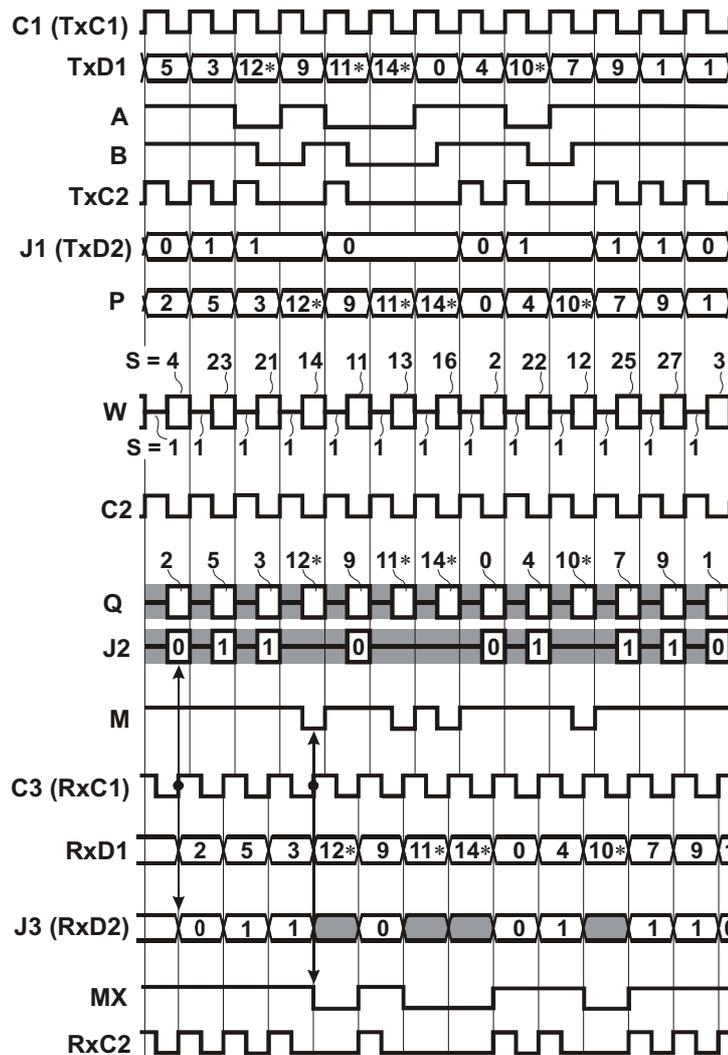


рис. 8.28. Временные диаграммы передачи данных

Все процессы, протекающие при передаче данных, синхронизируются от генератора G блока DCE1 (см. рис. 8.26). По положительному фронту сигнала TxC1 устройство DTE1 формирует очередной четырехразрядный двоичный код $X_0 Y_0 Z_0 V_0$ данных TxD1 (X_0 – старший разряд). В примере, приведенном на временных диаграммах (см. рис. 8.28), от устройства DTE1 под управлением сигнала TxC1 поступает такая последовательность кодов TxD1: $0101_2 = 5$, $0011_2 = 3$, $1100_2 = 12$, ..., $0001_2 = 1$. При этом коды, помеченные символами “*”, препятствуют распространению данных по дополнительному каналу в соответствующих битовых интервалах.

Регистр RG блока DCE1 принимает данные по положительному фронту сигнала TxC1, поэтому в этом регистре фиксируется “старый” код TxD1, прежде чем на его входы поступит “новый” код. (По аналогичной схеме построены обычные сдвиговые регистры с общей цепью синхронизации.) В результате данные P на выходах регистра формируются с задержкой на один такт по сравнению с данными TxD1 на его входах (см. диаграмму сигналов P, повторяющую диаграмму сигналов TxD1 со сдвигом вправо на один период сигнала TxC1).

Данные TxD1 анализируются дешифратором DC блока DCE1. Если данные принадлежат диапазону 0, 1, 2, ..., 9, то на выходе дешифратора формируется сигнал $A = 1$. Если данные принадлежат диапазону 10, 11, 12, ..., 15, то на выходе дешифратора формируется сигнал $A = 0$ (см. временную диаграмму этого сигнала). Как показано на рис. 8.27, дешифратор может быть выполнен на двух логических элементах. Сигнал A с выхода дешифратора принимается в триггер по положительному фронту ин-

вертированного сигнала $TxC1$. Сигнал $B = 0$ с выхода триггера закрывает элемент И по нижнему входу и препятствует формированию сигнала $TxC2$ в тех ситуациях, когда необходимо приостановить передачу данных по второму каналу. Поэтому данные $TxD2$ запрашиваются у устройства DTE2 и поступают от него с переменным темпом по мере возможности их передачи по второму каналу.

Сигналы P , $C1$ и $J1$ ($TxD2$) поступают на входы шифратора CD. Цепь, состоящая из шифратора, выходных и входных усилителей, обслуживающих линию связи, и дешифратора блока DCE2 выполняет преобразование кодов в соответствии с Таблица 8.3 табл. 8.3

Как и в предыдущей схеме (см. рис. 8.23), в линии связи применено трехуровневое кодирование сигналов. Напряжение U_1 (U_2 , U_3) между проводами витой пары может быть отрицательным, нулевым или положительным (сокращенно: $-$, 0 , $+$). Это напряжение формируется выходным усилителем блока DCE1 в зависимости от сочетания битов $E_1 F_1$ ($G_1 H_1$, $K_1 L_1$) на его входах следующим образом. При $E_1 = F_1 = 0$ ($G_1 = H_1 = 0$, $K_1 = L_1 = 0$) напряжение U_1 (U_2 , U_3) нулевое, при $E_1 = 0$, $F_1 = 1$ ($G_1 = 0$, $H_1 = 1$; $K_1 = 0$, $L_1 = 1$) – отрицательное, при $E_1 = 1$, $F_1 = 0$ ($G_1 = 1$, $H_1 = 0$; $K_1 = 1$, $L_1 = 0$) – положительное. Код $E_1 F_1 G_1 H_1 K_1 L_1$ формируется шифратором CD из входного кода $X_1 Y_1 Z_1 V_1 C_1 J_1$ (данные P , синхросигнал, данные TxD_2), как показано в левой части таблицы.

Входные усилители и дешифратор блока DCE2 выполняют обратное преобразование сигналов, представленных напряжениями U_1 , U_2 и U_3 в витых парах проводов линии связи. В графе S таблицы перечислены $3^3 = 27$ возможных состояний трехуровневых сигналов $U_1 - U_3$ в линии связи. Первое состояние ($S = 1$) соответствует нулевым напряжениям в линии: $(U_1 U_2 U_3) = (0 0 0)$. Это состояние выбрано для отображения единичного значения синхросигнала C_1 . Символы “ \times ” в левой части первой строки таблицы означают, что при $C_1 = 1$ входной код $X_1 Y_1 Z_1 V_1 J_1$ не воспринимается шифратором. Эти же символы в правой части первой строки таблицы показывают, что при выдаче восстановленного синхросигнала $C_2 = 1$ выходные данные $X_2 Y_2 Z_2 V_2 J_2$ также не определены. При этом сигнал M принимает значение лог. 1.

Состояния 2, 3, ..., 27, соответствующие условию $C_1 = 0$, используются для отображения данных первого и, в дополнение к этому, по возможности, второго каналов. Как следует из таблицы, коды P , принадлежащие диапазону 0 – 9, представлены двумя равноценными копиями. Первая копия размещена в строках с номерами 2 – 11 и сопровождается нулевым значением сигнала J_1 . Вторая копия размещена в строках с номерами 18 – 27 и сопровождается единичным значением сигнала J_1 . Передача первой или второй копии кода по первому каналу совмещена с передачей одного бита данных ($TxD_2 = J_1$) по второму каналу. Коды P , принадлежащие диапазону 10 – 15, представлены в единственном экземпляре и размещены в строках 12 – 17. При передаче этих кодов состояние сигнала J_1 не учитывается (что отражено символами “ \times ” в столбце “ J_1 ” таблицы). Иными словами, в данных ситуациях параллельная передача данных по второму каналу приостанавливается.

Как показано на временной диаграмме сигналов W линии, в первых половинах тактов состояние линии $S = 1$, так как $C_1 = 1$. Во второй половине первого такта $C_1 = 0$, $P = 2$, $J = 0$. Этому сочетанию сигналов соответствует четвертая строка таблицы. Из нее следует, что состояние линии $S = 4$. Аналогично, во второй половине второго такта $C_1 = 0$, $P = 5$, $J = 1$, в результате в линии формируется состояние $S = 23$ (+ – –) и т. д.

Дешифратор блока DCE2 восстанавливает синхросигнал C_2 (совпадающий с синхросигналом C_1 с точностью до задержки передачи) и формирует сигналы Q , J_2 и M (см. соответствующие временные диаграммы). Сигналы Q и J_2 содержат области неопределенности, выделенные на диаграммах затемненными участками.

Для устранения неопределенности сигналов Q применен параллельный регистр. Данные принимаются в него по положительному фронту сигнала C_3 , который формируется из сигнала C_2 после его задержки на четверть периода и последующего инвертирования. В результате сигналы RxD_1 и RxC_1 с некоторой задержкой повторяют сигналы TxD_1 и TxC_1 .

Сигнал C_3 далее проходит через элемент задержки для исключения “гонок”. При наличии единичного сигнала MX элемент И формирует периодический сигнал RxC_2 . При $MX = 0$ из сигнала RxC_2 исключаются положительные импульсы, соответствующие областям неопределенности сигнала J_3 . Таким образом регулируется поток данных по дополнительному каналу.

При равномерном случайном распределении кодов $TxD1$ вероятность их попадания в диапазон $0 - 9$ равна $10/16 = 0,625$. Каждое попадание в этот диапазон сопровождается передачей одного бита данных по дополнительному каналу. Поэтому скорость передачи битов по дополнительному каналу составляет $62,5\%$ скорости передачи четырехразрядных кодов $TxD1$ по основному каналу. Протокол передачи данных может предусматривать передачу нулевых кодов $TxD1$ в незанятом состоянии первого канала. Тогда дополнительный канал используется в каждом такте синхросигнала, т. е. в нем полностью исключаются приостановки передачи данных.

Для исключения неблагоприятных ситуаций, при которых в течение длительных промежутков времени коды попадают в диапазон $10 - 15$, можно применить скремблирование (см. п. 8.4) одного или двух старших разрядов данных $TxD1$ перед их подачей на входы блока DCE1.

8.5.3. Усовершенствованная схема – второй вариант

Недостатком рассмотренной ранее схемы (см. рис. 8.23) является низкая скорость передачи данных по линии связи. Это связано с тем, что в линии связи данные чередуются во времени с синхросигналом. Поэтому половина потенциальной пропускной способности канала связи теряется. В схеме, приведенной на рис. 8.29, по линии связи передаются только данные и, в необходимых случаях, признаки повтора кодов. При этом гарантируется изменение состояния линии на границах тактовых интервалов, что позволяет с высокой надежностью восстанавливать синхросигнал блоком приема (DCE2).

Все процессы, протекающие при передаче данных, синхронизируются сигналом TxC от генератора G блока DCE1. По положительному фронту этого сигнала источник данных (на рисунке не показан) формирует очередной трехразрядный двоичный код $X0 Y0 Z0$ передаваемых данных TxD ($X0$ – старший разряд). В примере, приведенном на временных диаграммах (рис. 8.30), от источника данных под управлением сигнала TxC поступает такая последовательность кодов: $101_2 = 5$, $011_2 = 3$, $001_2 = 1$, ..., $011_2 = 3$. При этом коды “6” и “4” повторяются в четырех и двух смежных тактах.

Регистр RG блока DCE1 принимает данные по положительному фронту сигнала TxC , поэтому в этом регистре фиксируется “старый” код TxD , прежде чем на его входы поступит “новый” код. В результате данные K на выходах регистра формируются с задержкой на один такт по сравнению с данными TxD на его входах.

Компаратор сравнивает старый код с новым. При их совпадении формируется сигнал $J = 1$. Этот сигнал сдвигается на один такт и “прореживается”, если его длительность превышает один период синхросигнала. Результирующий сигнал $W1$, формируемый триггерами, поступает на шифратор CD вместе с данными и несет информацию о повторах кодов (6, 6, 6, 6 и 4, 4). Цепь, состоящая из шифратора, выходных и входных усилителей, обслуживающих линию связи, и дешифратора блока DCE2 выполняет преобразование кодов в соответствии с Таблица 8.4 табл. 8.4.

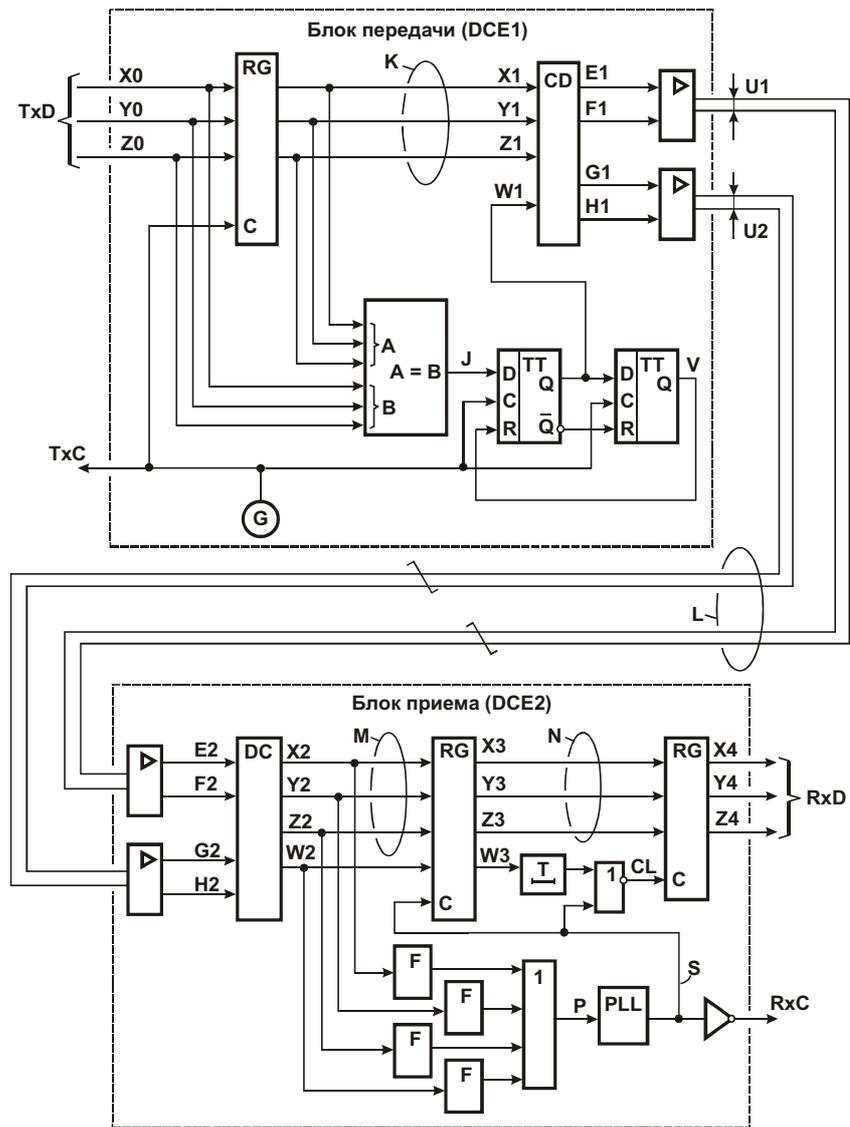


Рис. 8.29. Усовершенствованная схема параллельной передачи кодированных данных и синхросигнала по витым парам проводов (второй вариант)

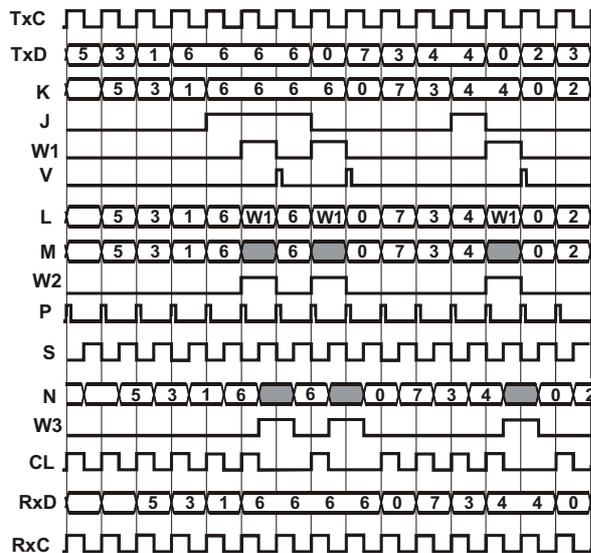


Рис. 8.30. Временные диаграммы передачи данных

Таблица 8.4 табл. 8.4
Состояния шифратора, канала связи и дешифратора при параллельной передаче трех битов данных и признака повтора кода схемой, приведенной на рис. 8.29

Коды на входах и выходах шифратора								Сигналы в линии		Коды на входах и выходах дешифратора							
W1	X1	Y1	Z1	E1	F1	G1	H1	U1	U2	H2	G2	F2	E2	Z2	Y2	X2	W2
1	×	×	×	0	0	0	0	0	0	0	0	0	0	×	×	×	1
0	0	0	0	0	0	0	1	0	–	1	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0	0	+	0	1	0	0	1	0	0	0
0	0	1	0	0	1	0	0	–	0	0	0	1	0	0	1	0	0
0	0	1	1	0	1	0	1	–	–	1	0	1	0	1	1	0	0
0	1	0	0	0	1	1	0	–	+	0	1	1	0	0	0	1	0
0	1	0	1	1	0	0	0	+	0	0	0	0	1	1	0	1	0
0	1	1	0	1	0	0	1	+	–	1	0	0	1	0	1	1	0
0	1	1	1	1	0	1	0	+	+	0	1	0	1	1	1	1	0

Как и в предыдущих схемах, напряжение U_1 (U_2) между проводами витой пары проводов может быть отрицательным, нулевым или положительным (сокращенно: –, 0, +). Это напряжение формируется выходным усилителем блока DCE1 в зависимости от сочетания битов $E_1 F_1 (G_1 H_1)$ на его входах следующим образом. При $E_1 = F_1 = 0$ ($G_1 = H_1 = 0$) напряжение U_1 (U_2) нулевое, при $E_1 = 0, F_1 = 1$ ($G_1 = 0, H_1 = 1$) – отрицательное, при $E_1 = 1, F_1 = 0$ ($G_1 = 1, H_1 = 0$) – положительное. Код $E_1 F_1 G_1 H_1$ формируется шифратором CD из входного кода $X_1 Y_1 Z_1 W_1$ (данные, признак повтора), как показано в левой части таблицы.

Входные усилители и дешифратор блока DCE2 осуществляют обратное преобразование сигналов, представленных напряжениями U_1 и U_2 . В этом можно убедиться сопоставлением левой и правой частей таблицы – они симметричны. В центральной части таблицы показаны девять возможных комбинаций сигналов в линии. Первая комбинация (0 0) произвольно выбрана для отображения признака $W_1 = 1$ повтора кода данных. Символы “×” в левой части таблицы означают, что при $W_1 = 1$ входные сигналы K не воспринимаются шифратором.

Эти же символы в правой части таблицы показывают, что при выдаче дешифратором признака $W_2 = 1$ повтора кода выходные данные $X_2 Y_2 Z_2$ не определены и не могут использоваться для выдачи абоненту. Остальные восемь комбинаций сигналов в линии произвольно распределены для отображения восьми состояний трехразрядного кода $X_1 Y_1 Z_1$ при условии, что $W_1 = 0$.

Сигналы в линии связи в каждом такте несут информацию о передаваемом трехразрядном коде либо о том, что в данном такте код повторяется. Сигналы M на выходе дешифратора содержат области неопределенности, выделенные серым фоном; им соответствуют единичные состояния сигнала W_2 . Так как признак повтора кодируется в линии уникальным сочетанием сигналов и не может длиться более одного такта (благодаря “прореживанию”), то создается гарантия того, что в каждом такте состояние канала изменяется, т. е. отлично от предыдущего. Для регистрации границ тактовых интервалов использованы формирователи F импульсов, элемент ИЛИ и блок PLL фазовой автоподстройки частоты. Формирователи импульсов реагируют на любой фронт входного сигнала выдачей на входы элемента ИЛИ кратковременных сигналов лог. 1. По-

этому на выходе элемента ИЛИ формируется непрерывная последовательность импульсов.

Эта последовательность поступает на вход синхронизации блока фазовой автоподстройки частоты (PLL). Блок PLL может быть выполнен по одной из известных схем (см. гл. 9). Он предназначен для формирования высокостабильного синхросигнала S на основе непрерывного слежения за входным сигналом P . В данном примере отрицательный фронт сигнала S привязан к положительному фронту сигнала P . Благодаря достаточной инерционности блока PLL сигнал S практически нечувствителен к “дрожанию фазы” сигнала P и иным его кратковременным искажениям, вызванным помехами в канале связи.

По положительному фронту сигнала S установившиеся на выходе дешифратора сигналы фиксируются в промежуточном регистре. Далее, если нет повтора, код переписывается из промежуточного в выходной регистр. При наличии повтора элемент ИЛИ – НЕ блокируется незначительно задержанным сигналом $W3 = 1$. Поэтому сигнал CL синхронизации выходного регистра не периодичен. Как следует из диаграмм, выходные данные RxD повторяют входные данные TxD с точностью до задержки передачи. При этом сигнал RxC обеспечивает правильную синхронизацию данных RxD .

8.5.4. Усовершенствованная схема – третий вариант

Усовершенствования по п. 8.5.2 и 8.5.3 можно объединить в едином решении. Правда такое объединение не удастся получить простой “механической сборкой” готовых схем – поэтому здесь приводится одно из возможных синтетических схемных решений. Применительно к линии из трех витых пар проводов это решение позволяет в каждом такте работы линии передавать четыре бита по основному каналу и в среднем 0,625 бита по дополнительному каналу (итого 4,625 бит/такт). Чтобы избежать повторов при описании уже рассмотренных деталей, дальнейшее изложение приводится по возможности в сжатом виде в расчете на то, что читатель знаком с предыдущими решениями по п. 8.5.

Подключение схемы передачи данных (третий вариант) к телекоммуникационной системе можно выполнить согласно рис. 8.25. Схемы блоков передачи и приема данных и используемого в них дешифратора приведены на рис. 8.31 – рис. 8.33.

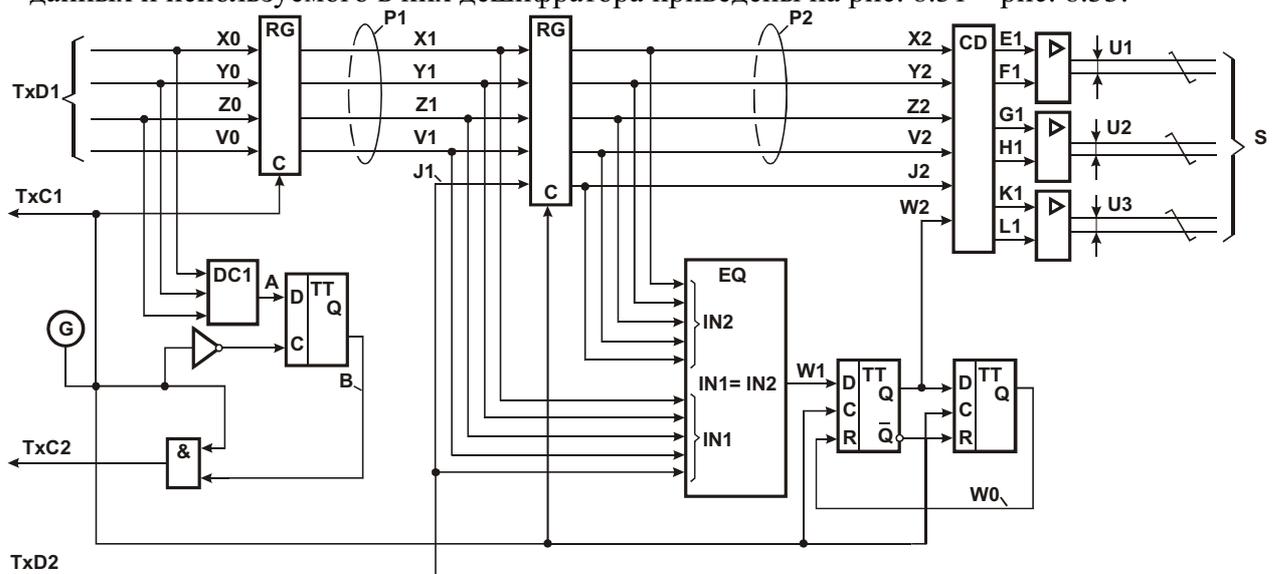


рис. 8.31. Блок передачи данных третьего варианта схемы

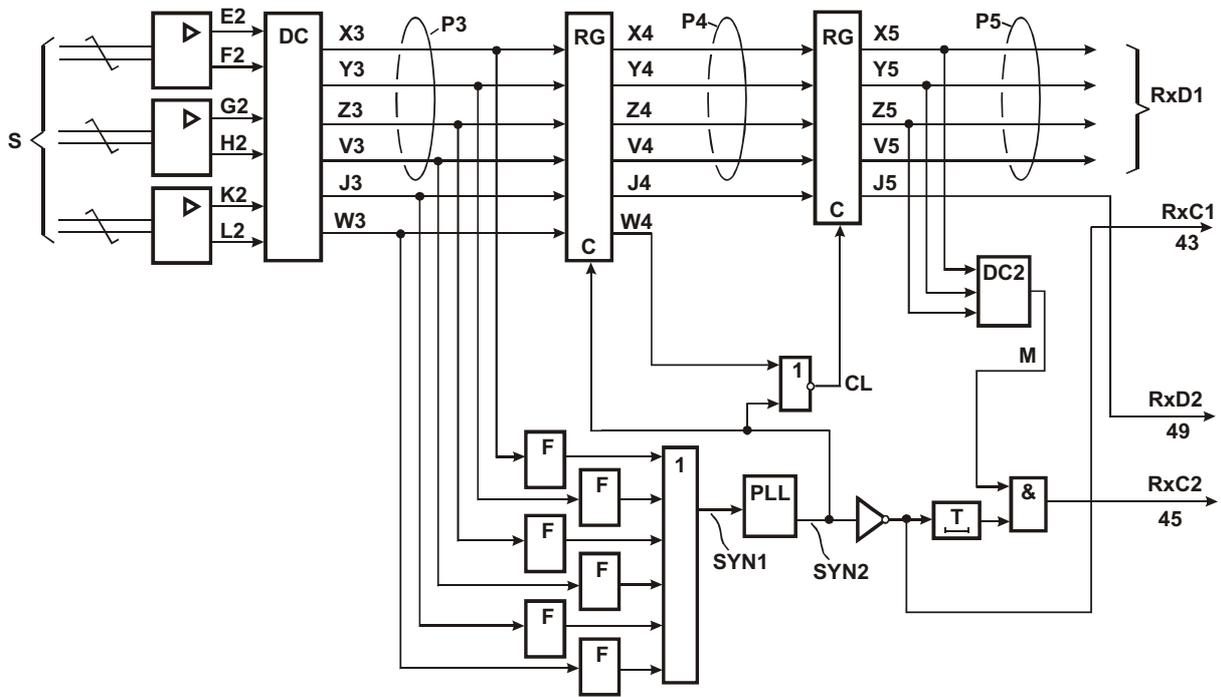


рис. 8.32. Блок приема данных третьего варианта схемы

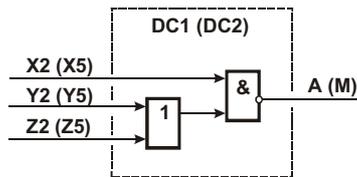


рис. 8.33. Схема дешифратора DC1 (DC2), применяемого в третьем варианте схемы

Преобразование кодов при их передаче по линии описывается Таблица 8.5 табл. 8.5. Временные диаграммы, соответствующие различным кодовым ситуациям, приведены на

рис. 8.34 – рис. 8.36.

Состояния шифратора CD, линии связи и дешифратора DC при передаче данных (третий вариант схемы)

№ п/п	Коды на входах и выходах шифратора CD											Состояние линии			Коды на входах и выходах дешифратора DC														
	W 2	J 2	X 2	Y 2	Z 2	V 2	P2	E 1	F 1	G 1	H 1	K 1	L 1	S	U1 – U3	L 2	K 2	H 2	G 2	F 2	E 2	P3	V 3	Z 3	Y 3	X 3	J 3	W 3	
1	1	×	×	×	×	×	×	0	0	0	0	0	0	1	000	0	0	0	0	0	0	×	×	×	×	×	×	×	1
2	0	0	0	0	0	0	0	0	0	0	0	1	0	2	00–	1	0	0	0	0	0	0	0	0	0	0	0	0	0
3	0	0	0	0	0	1	1	0	0	0	0	0	0	3	00+	0	1	0	0	0	0	1	1	0	0	0	0	0	0
4	0	0	0	0	1	0	0	0	0	1	0	0	0	4	0–0	0	0	1	0	0	0	2	0	1	0	0	0	0	0
5	0	0	0	0	1	1	0	0	0	1	0	1	0	5	0––	1	0	1	0	0	0	3	1	1	0	0	0	0	0
6	0	0	0	1	0	0	0	0	0	1	1	0	0	6	0–+	0	1	1	0	0	0	4	0	0	1	0	0	0	0
7	0	0	0	1	0	1	0	0	1	0	0	0	0	7	0+0	0	0	0	1	0	0	5	1	0	1	0	0	0	0
8	0	0	0	1	1	0	0	0	1	0	0	1	0	8	0+–	1	0	0	1	0	0	6	0	1	1	0	0	0	0
9	0	0	0	1	1	1	0	0	1	0	1	0	0	9	0++	0	1	0	1	0	0	7	1	1	1	0	0	0	0
10	0	0	1	0	0	0	0	0	1	0	0	0	0	10	–00	0	0	0	0	1	0	8	0	0	0	0	1	0	0
11	0	0	1	0	0	1	0	0	1	0	0	1	0	11	–0–	1	0	0	0	1	0	9	1	0	0	0	1	0	0
12	0	×	1	0	1	0	0	1	0	0	1	0	0	12	–0+	0	1	0	0	1	0	10*	0	1	0	1	0	×	0
13	0	×	1	0	1	1	0	0	1	0	1	0	0	13	––0	0	0	1	0	1	0	11*	1	1	0	1	×	×	0
14	0	×	1	1	0	0	0	1	0	1	0	1	0	14	–––	1	0	1	0	1	0	12*	0	0	1	1	×	×	0
15	0	×	1	1	0	1	0	1	0	1	1	0	0	15	––+	0	1	1	0	1	0	13*	1	0	1	1	×	×	0
16	0	×	1	1	1	0	0	1	1	0	0	0	0	16	–+0	0	0	0	1	1	0	14*	0	1	1	1	×	×	0
17	0	×	1	1	1	1	0	0	1	1	0	1	0	17	–+–	1	0	0	1	1	0	15*	1	1	1	1	×	×	0
18	0	1	0	0	0	0	0	0	1	1	0	1	0	18	–++	0	1	0	1	1	0	0	0	0	0	0	1	0	0
19	0	1	0	0	0	1	1	1	0	0	0	0	0	19	+00	0	0	0	0	0	1	1	1	0	0	0	1	0	0
20	0	1	0	0	1	0	0	1	0	0	0	1	0	20	+0–	1	0	0	0	0	1	2	0	1	0	0	1	0	0
21	0	1	0	0	1	1	0	0	1	0	0	1	0	21	+0+	0	1	0	0	0	1	3	1	1	0	0	1	0	0
22	0	1	0	1	0	0	0	1	0	0	1	0	0	22	+–0	0	0	1	0	0	1	4	0	0	1	0	1	0	0
23	0	1	0	1	0	1	0	1	0	0	1	0	1	23	+––	1	0	1	0	0	1	5	1	0	1	0	1	0	0
24	0	1	0	1	1	0	0	1	1	0	1	0	0	24	+–+	0	1	1	0	0	1	6	0	1	0	1	0	1	0
25	0	1	0	1	1	1	0	1	0	1	0	0	0	25	+ +0	0	0	0	1	0	1	7	1	1	1	0	1	0	0
26	0	1	1	0	0	0	0	1	0	1	0	0	1	26	+ +–	1	0	0	1	0	1	8	0	0	0	0	1	1	0
27	0	1	1	0	0	1	1	0	1	1	0	1	0	27	+ ++	0	1	0	1	0	1	9	1	0	0	0	1	1	0

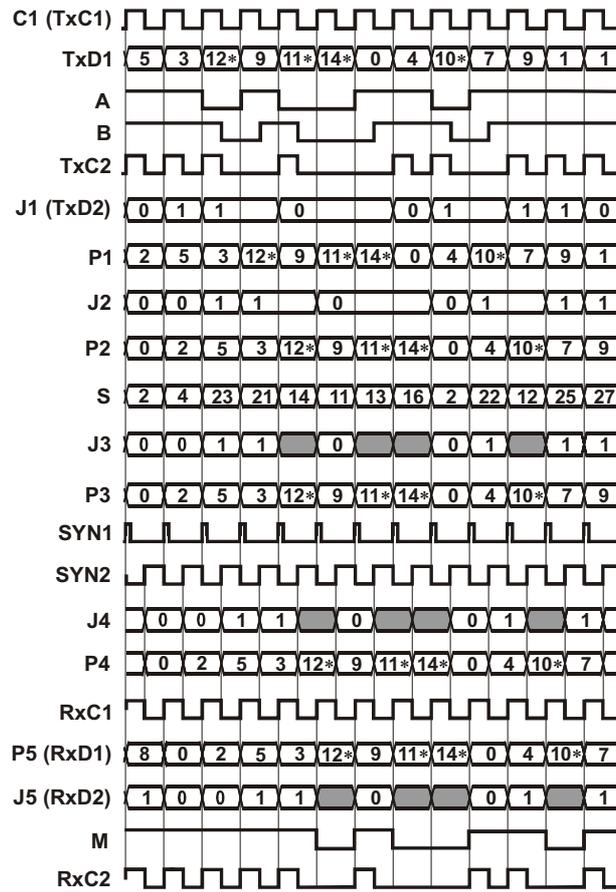


рис. 8.34. Временные диаграммы передачи данных с приостановками работы второго канала (третий вариант схемы)

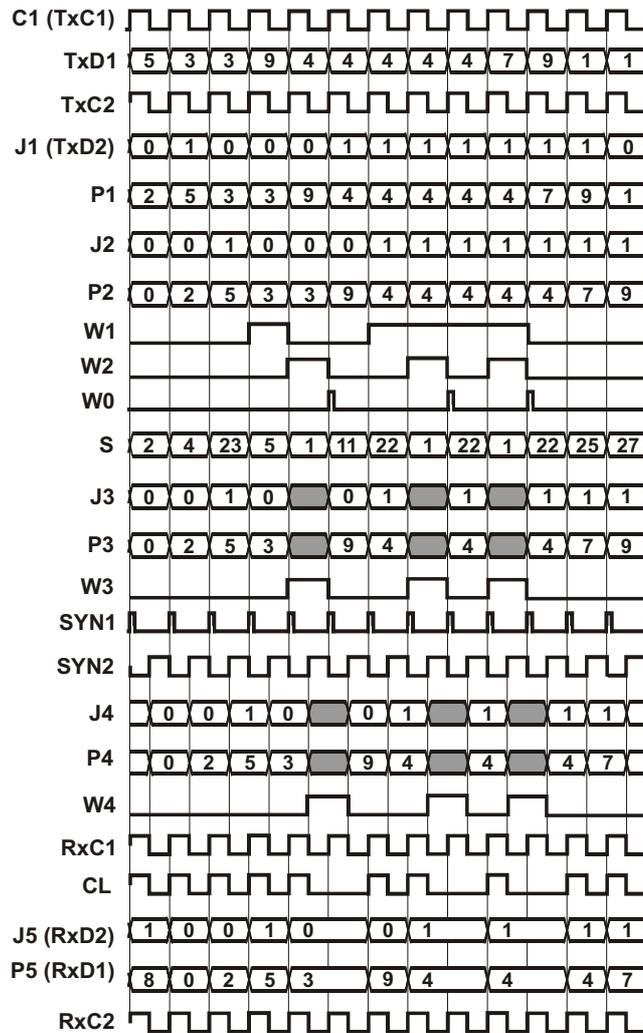


Рис. 8.35. Временные диаграммы передачи данных с повторами передаваемых кодов в смежных тактах (третий вариант схемы)

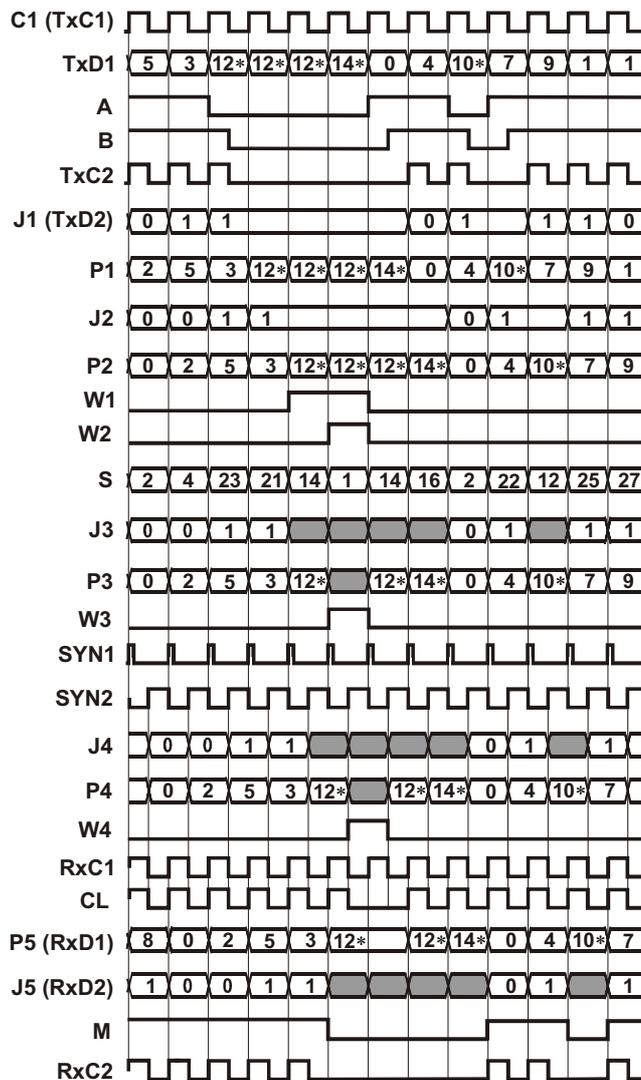


Рис. 8.36. Временные диаграммы передачи данных с приостановками работы второго канала и повторами кодов в смежных тактах (третий вариант схемы)

8.5.5. Усовершенствованная схема – четвертый вариант

Этот вариант предусматривает поочередную передачу четырех битов из первого и трех битов из второго каналов. Таким образом, за два такта передаются семь битов или в среднем 3,5 бита за один такт. По сравнению с предыдущим вариантом средняя скорость передачи данных снижена на $4,625 - 3,5 = 1,125$ бит/такт, но упрощены схемные решения и применено аппаратное кодирование – декодирование признаков начала информационных кадров. Как и ранее, описание приводится по возможности в сжатом виде в расчете на то, что читатель знаком с предыдущими решениями по п. 8.5.

Схема передачи данных (рис. 8.37) подключена к четырем оконечным устройствам DTE1 – DTE4, например к четырем компьютерам. В процессе работы системы данные TxD1 и признак TxF1 начала кадра передаются из устройства DTE1 в устройство DTE3 по основному (первому) каналу. Одновременно с этим по дополнительному (второму) каналу данные TxD2 и признак TxF2 начала кадра передаются из устройства DTE2 в устройство DTE4. (Для передачи информации в обратном направлении необходима вторая схема передачи данных, включенная встречно.)

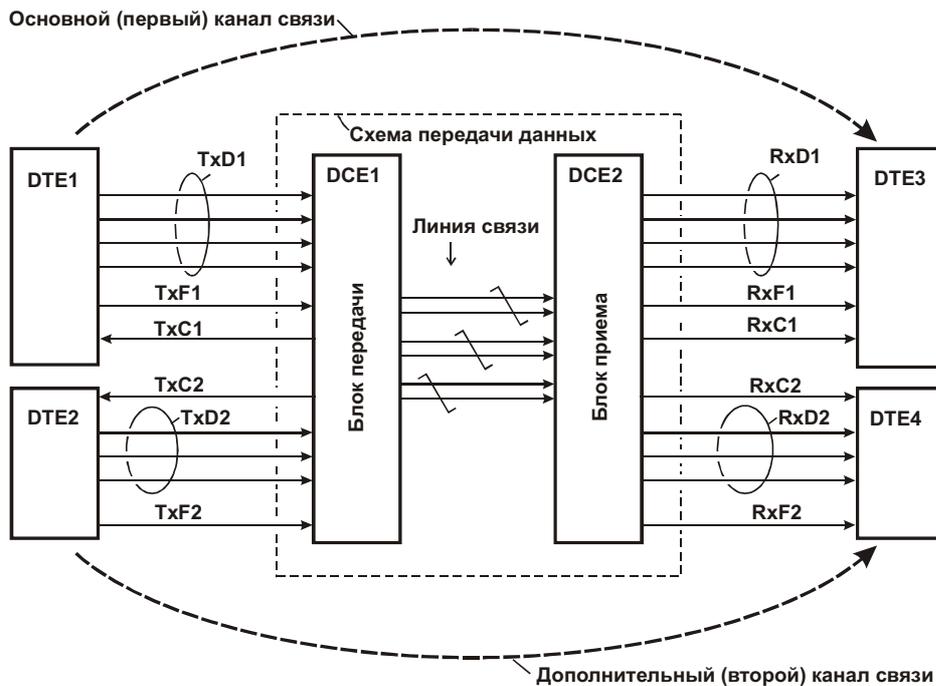


Рис. 8.37. Пример включения усовершенствованной схемы передачи данных (четвертый вариант) в телекоммуникационную систему

Сигнал $TxC1$ обеспечивает синхронную передачу данных $TxD1$ и признака $TxF1$ начала кадра из устройства DTE1 в блок передачи. Аналогично сигнал $TxC2$ обеспечивает синхронную передачу данных $TxD2$ и признака $TxF2$ начала кадра из устройства DTE2 в этот же блок. Положительные фронты сигнала $TxC1$ задают границы битовых интервалов для каждого входного сигнала первого канала. Положительные фронты сигнала $TxC2$ задают границы битовых интервалов для каждого входного сигнала второго канала. Аналогичные функции выполняет синхросигнал $RxC1$ ($RxC2$) сопровождения данных $RxD1$ ($RxD2$) и признаков $RxF1$ ($RxF2$) начала кадров.

Схема передачи данных и временные диаграммы ее работы приведены на рис. 8.38 и рис. 8.39. Кодирование и декодирование данных при их передаче по линии выполняется в соответствии с Таблица 8.6 табл. 8.6.

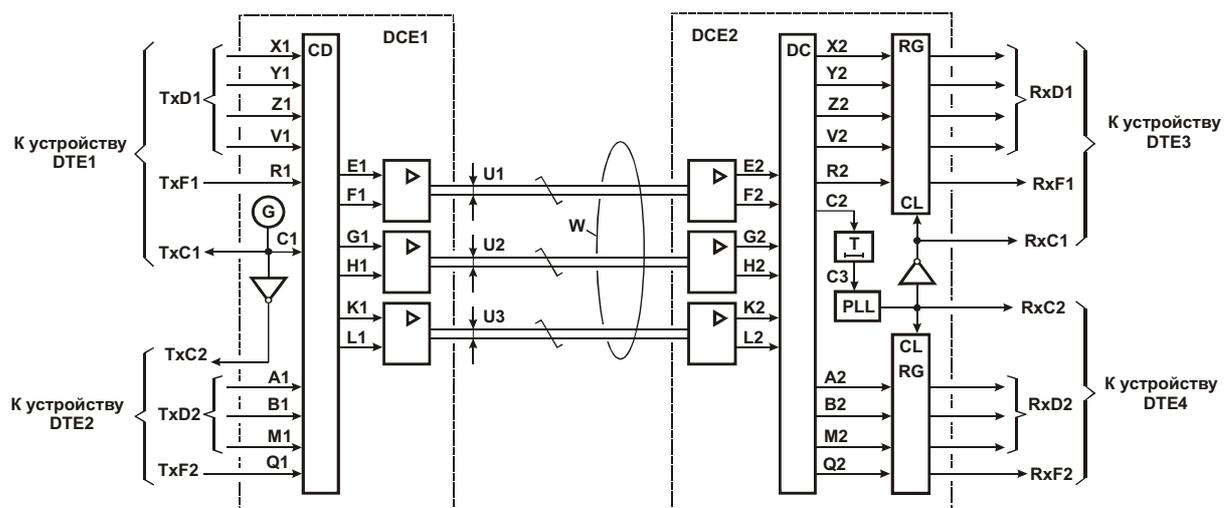


Рис. 8.38. Схема передачи данных (четвертый вариант)

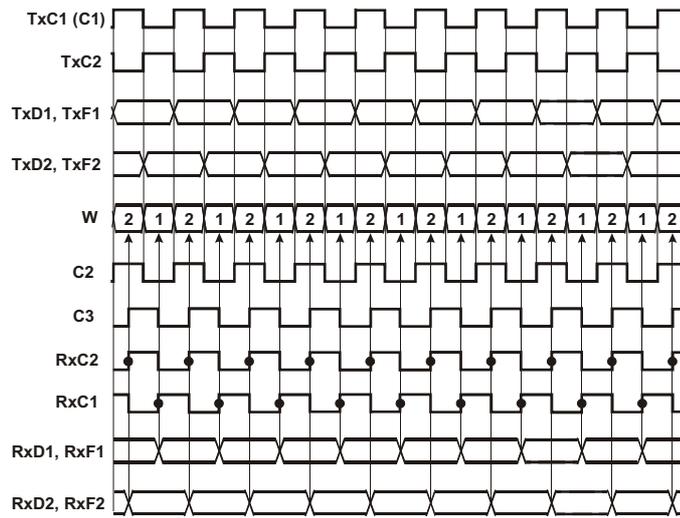


рис. 8.39. Временные диаграммы работы схемы передачи данных (четвертый вариант).
 На временной диаграмме сигналов W в линии связи цифрами 1 и 2 обозначены данные, передаваемые по первому и второму каналам

Все процессы, протекающие при передаче данных, синхронизируются от генератора G. По положительному фронту сигнала TxC1 на входы первого канала устройства поступает очередной четырехразрядный двоичный код X1 Y1 Z1 V1 данных TxD1 (X1 – старший разряд) и в начале каждого информационного кадра – признак TxF1 = 1 (R1 = 1). Аналогично по положительному фронту сигнала TxC2 на входы второго канала устройства поступает очередной трехразрядный двоичный код A1 B1 M1 данных TxD2 (A1 – старший разряд) и в начале каждого информационного кадра – признак TxF2 = 1 (Q = 1).

Сигналы с входов устройства и с выхода генератора G поступают на входы шифратора. Так же как и в предыдущих примерах, применено трехуровневое кодирование сигналов в линии связи. Напряжение U1 (U2, U3) между проводами витой пары может быть отрицательным, нулевым или положительным (сокращенно: –, 0, +). Это напряжение формируется усилителем в зависимости от сочетания битов E1 F1 (G1 H1, K1 L1) на его входах следующим образом. При E1 = F1 = 0 (G1 = H1 = 0, K1 = L1 = 0) напряжение U1 (U2, U3) нулевое, при E1 = 0, F1 = 1 (G1 = 0, H1 = 1; K1 = 0, L1 = 1) – отрицательное, при E1 = 1, F1 = 0 (G1 = 1, H1 = 0; K1 = 1, L1 = 0) – положительное. Код E1 F1 G1 H1 K1 L1 формируется шифратором из входного кода, как показано в левой части Таблица 8.6 табл. 8.6.

Входные усилители и дешифратор осуществляют обратное преобразование сигналов, представленных напряжениями U1, U2 и U3 в витых парах проводов линии связи. В графе S таблицы перечислены 26 из $3^3 = 27$ возможных состояний трехуровневых сигналов U1 – U3 в линии связи (одно из состояний в данном примере не используется, хотя оно может отображать какой-либо дополнительный признак). Первое состояние (S = 1) соответствует напряжениям (U1 U2 U3) = (– 0 –); второе – напряжениям (U1 U2 U3) = (– 0 +) и т. д.

Символы “x” в левой части таблицы означают, что соответствующие входные сигналы игнорируются шифратором. В частности, как показано в строках 1 – 16, при R1 = C1 = 0 шифратор оперирует кодом TxD1 (X1 Y1 Z1 V1) и не воспринимает сигналы с входов Q, A1, B1, M1. Аналогично при Q1 = 0 и C1 = 1 (см. строки 17 – 24) шифратор воспринимает код TxD2 (A1 B1 M1) и игнорирует остальные входные сигналы. Сочетание сигналов R1 = 1 и C1 = 0 (строка 25) однозначно трактуется как признак начала передаваемого по первому каналу информационного кадра независимо от состояний сигналов на остальных входах. Аналогично строка 26 определяется условием Q = C = 1 и описывает передачу признака начала кадра по второму каналу.

Правая часть таблицы, в основном, представляет собой зеркальную копию левой части. Исключение составляют две последние строки (24 и 25), в которых некоторым символам “x” в левой части поставлены в соответствие символы “0” в правой части. Это гарантирует формирование нулевых кодов RxD1 и RxD2 в тех ситуациях, когда передаются признаки RxF1 и RxF2 начала кадров.

Из таблицы и временных диаграмм следует, что по мере изменения логического значения тактового сигнала TxC1 (C1) в линию попеременно поступает информация из первого и второго каналов. При этом сигнал C2 на выходе дешифратора повторяет сигнал C1 с точностью до задержки передачи. Сигнал C3 на выходе элемента задержки сдвинут на четверть периода относительно сигнала C2 для совмещения его положительных и отрицательных фронтов с установившимися значениями информационных сигналов на входах выходных регистров первого и второго каналов.

Сигнал C3 поступает на вход синхронизации блока PLL фазовой автоподстройки частоты. Благодаря достаточной инерционности этого блока сигнал RxC2 практически нечувствителен к “дрожанию фазы” сигнала C3 и иным его кратковременным искажениям, вызванным помехами в линии связи. По положительным фронтам сигналов RxC2 и RxC1 информация с выходов дешифратора фиксируется в выходных регистрах и поступает к оконечным устройствам DTE3 и DTE4.

Передаваемые по первому и второму каналам данные группируются в кадры. Длина кадра может быть постоянной или переменной. Для обозначения начала кадра, передаваемого по первому каналу, используются сигналы TxF1 (на передающей стороне) и RxF1 (на

приемной стороне). Как следует из таблицы, при $T_x F_1 = 1$ данные $T_x D_1$ не воспринимаются на передающей стороне и доопределяются нулями на приемной стороне. То же справедливо и по отношению ко второму каналу.

Благодаря аппаратной передаче признаков начала кадров исключена необходимость выполнения операции битстаффинга. Напомним, что эта операция связана с введением служебных битов в передаваемый массив данных для создания уникальных (флаговых) кодовых комбинаций с целью обозначения начала информационных кадров. Поэтому в данном случае также исключена передача служебных битов по линии связи, последующего программного или аппаратного распознавания флаговых комбинаций, обнаружения и вычеркивания служебных битов.

Подведем некоторые итоги.

1. Основной вариант схемы передачи данных (рис. 8.23) характеризуется следующими признаками. По линии, состоящей из N витых пар проводов, в каждом такте передается одно из 3^N состояний трехуровневого сигнала. Одно из состояний используется для передачи синхросигнала, остальные – для передачи групп битов данных. Передача синхросигнала чередуется с передачей групп битов данных. При $N = 3$ используются все 3^3 состояний трехуровневого сигнала, однако с увеличением N появляются избыточные состояния, которые предлагается использовать в усовершенствованных вариантах схем.

2. Первый вариант усовершенствованной схемы (рис. 8.26) предусматривает использование избыточных состояний трехуровневого сигнала для построения дополнительного канала связи. Передача данных по этому каналу совмещена во времени с передачей основного потока данных и осуществляется при наличии в последнем кодовых комбинаций, разрешающих работу дополнительного канала связи. Чтобы гарантировать появление таких комбинаций, входные данные предварительно скремблируются.

3. Второй вариант схемы (рис. 8.29) позволяет повысить скорость передачи данных благодаря исключению состояния трехуровневого сигнала, отображающего синхросигнал. Поэтому во втором варианте схемы нет чередования этого состояния с передачей групп битов данных (скорость передачи повышена в два раза). Синхросигнал содержится в потоке данных в неявном виде как результат изменения состояния канала связи в каждом такте. Чтобы гарантировать такие изменения при передаче повторяющихся данных, последние в необходимых случаях заменяются кодом повтора, который подменяет эти данные.

4. Третий вариант схемы (рис. 8.31, рис. 8.32), по существу, объединяет отмеченные ранее усовершенствования по первому и второму вариантам. Такое объединение, однако, не удастся получить простой “механической сборкой” готовых схем, поэтому описано одно из возможных синтетических решений, сочетающих преимущества рассмотренных ранее вариантов.

5. Четвертый вариант схемы (рис. 8.38) также предусматривает использование избыточных состояний трехуровневого сигнала для построения дополнительного канала связи. Данные из основного и дополнительного каналов связи передаются поочередно, их скремблирования не требуется. Синхросигнал передается в неявном виде. По сравнению с предыдущим вариантом, средняя скорость передачи данных несколько снижена, но упрощены схемные решения и расширены функциональные возможности – два состояния трехуровневого сигнала выделены для передачи по каждому каналу признаков начала информационных кадров.